

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-029383

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

G11C 16/04  
G11C 11/56  
H01L 21/8246  
H01L 27/112

(21)Application number : 05-193876

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.07.1993

(72)Inventor : SUGIURA NOBUTAKE

KATO HIDEO

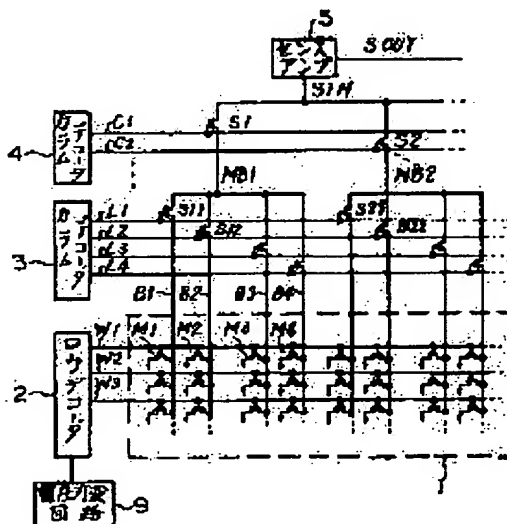
MOCHIZUKI YOSHIO

(54) SEMICONDUCTOR MEMORY AND READING METHOD THEREFOR

(57)Abstract:

PURPOSE: To provide a reading circuit capable of expanding the reading room of a memory and reducing patterns and a peak current and a semiconductor storage device capable of operating a reading system using this circuit.

CONSTITUTION: A voltage variable circuit 9 for supplying a plurality of different sized potentials to word lines W1, W2,... is added to the semiconductor storage device for writing data of over 4 values in a memory cell 1. Then, by changing the size of a voltage impressed to the word line using this circuit, the data is read out. The reading operation is carried out being divided into plural times so as to read out the specified memory cell everytime the size of the voltage is changed. As the voltage used for the voltage variable circuit is the one equal to the threshold value of the memory cell, the memory cell may be used, a power voltage is decreased and supplied.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

06.03.1998

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other  
than the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3179943

[Date of registration] 13.04.2001

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-29383

(43) 公開日 平成7年(1995)1月31日

(51) Int. Cl. <sup>4</sup>	識別記号	序内整理番号	P I	技術表示箇所
G 1 1 C 16/04				
11/56				
H 0 1 L 21/8246				
			G 1 1 C 17/ 00	3 0 5
			11/ 34	3 8 1 A
			審査請求 未請求 請求項の数 5	F D (全 22 頁) 最終頁に続く

(21) 出願番号 特願平5-193376

(22) 出願日 平成5年(1993)7月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉浦 伸竹

神奈川県川崎市幸区堀川町580番1号 東

芝半導体システム技術センター内

(72) 発明者 加藤 秀雄

神奈川県川崎市幸区堀川町580番1号 東

芝半導体システム技術センター内

(72) 発明者 望月 義夫

神奈川県川崎市幸区堀川町580番1号 東

芝半導体システム技術センター内

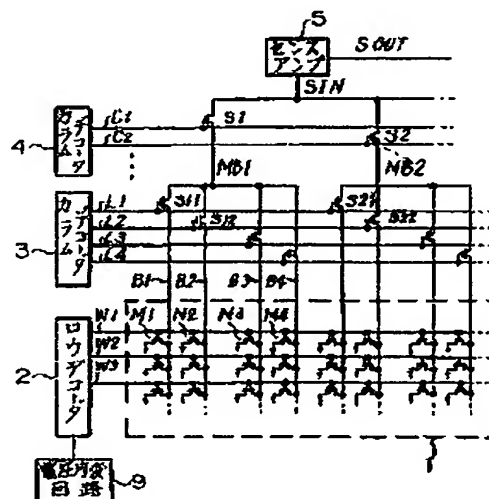
(74) 代理人 弁理士 竹村 徳

(54) 【発明の名称】 半導体記憶装置及びその読み出し方法

(57) 【要約】

【目的】 メモリの読み出し余裕を広げ、パターンを縮小し、ピーク電流を減少させる読み出し回路やこれを用いた読み出し方式を実施する事の可能な半導体記憶装置を提供する。

【構成】 4 値以上のデータを1メモリセルに書き込む半導体記憶装置にワード線 W1、W2、... に大きさの異なる複数の電位を供給する電圧可変回路9を加える。そして、この回路を用いてワード線に印加される電圧の大きさを換えながらデータを読み出す。その読み出し動作は、所定のメモリセルを電圧の大きさを換えるごとにそのメモリセルを読み出すように、複数回に分けて行う。この電圧可変回路の電圧は、メモリセルのしきい値に等しい電圧を用いるためにメモリセルを用いることもでき、また、電圧を減圧して供給する。



(2)

特開平7-29383

1

## 【特許請求の範囲】

【請求項1】 マトリックス状に配置された複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に少なくとも1つ以上の電位を供給する高圧可変回路と、

読出し動作時において前記複数のメモリセルの中から読み出される所定のメモリセルを少なくとも2つ以上内部的に順次選択する手段を有するビット線選択手段と、  
前記ビット線選択手段により選択された所定のビット線の電位を検出して前記複数のメモリセルの中から読み出されるメモリセルの流す電流をセンスするセンスアンプと、

少なくとも2つ以上のラッチ回路と、

前記内部的に順次選択された少なくとも2つ以上のメモリセルの前記センスアンプの出力を前記ラッチ回路にそれぞれラッチする順次回路とを備えていることを特徴とする半導体記憶装置。

【請求項2】 マトリックス状に配置された複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に少なくとも1つ以上の電位を供給する高圧可変回路とを備え、

前記高圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタにより構成されるリファレンスのトランジスタにより前記ワード線に供給する複数の電位を設定することを特徴とする半導体記憶装置。

【請求項3】 マトリックス状に配置された複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に少なくとも1つ以上の電位を供給する高圧可変回路とを備え、

前記高圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタにより構成されるリファレンスのトランジスタのゲートに、前記ワード線に供給する複数の電位と同等の電位を供給する手段を有し、前記リファレンスのトランジスタのドレインに接続され、前記リファレンスのセ

2

ルの流す電流をセンスするリファレンスセンスアンプを具備し、このリファレンスセンスアンプの出力により、前記センスアンプの出力をこのセンスアンプに接続されたラッチ回路にラッチするか、又は前記センスアンプに接続された出力回路により出力することを特徴とする半導体記憶装置。

【請求項4】 前記リファレンスのトランジスタが、前記メモリセルと同じしきい値のトランジスタ、前記メモリセルとしきい値が異なるが電流特性が同じトランジスタ、前記メモリセルと同じしきい値で電流特性がこのメモリセルの電流特性の何倍かの電流特性を持つトランジスタ、又は前記メモリセルとしきい値が異なり、電流特性がこのメモリセルの電流特性の何倍かの電流特性を持つトランジスタのいずれか少なくとも1つ以上のトランジスタにより構成されることを特徴とする請求項2又は請求項3に記載の半導体記憶装置。

【請求項5】 1読み出し動作において、マトリックス状に配置された複数のメモリセルのゲートが接続されている複数のワード線の中の所定のワード線に高圧可変回路により所定の電位を供給する手段と、

前記メモリセルのドレインが接続されている複数のビット線の中の所定のビット線の電位を検出し、その電位に基づいて形成されたメモリセルデータを出力する手段と、

前記所定のワード線が前記所定の電位の状態で、前記複数のビット線の中の他のビット線の電位を検出してその電位に基づいて形成されたメモリセルデータを出力し、この出力動作をさらに前記複数のビット線の別のビット線に続ける内部的手段とを備えていることを特徴とする半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置に係り、とくに、多価レベルのデータを記憶するROM (Read Only Memory) の読み出しに関するものである。

【0002】

【従来の技術】半導体記憶装置、例えば、読出し専用ROMのメモリセルアレイは、MOSFETからなるメモリセルをマトリックス状に配置し、各メモリセルのゲートを行方向に延びる複数のワード線に接続すると共に、ソース、ドレインを列方向に延びる複数のビット線に接続して構成されている。この様な構造を有するROMのメモリアレイ中の所定のメモリセルを読出すには、このメモリの接続されたビット線を選択し、そして、メモリセルのゲートに接続されたワード線を高レベルにして前記所定のメモリセルのデータを読出す。ROMでは、通常1ビットのメモリセルは一つのトランジスタによって構成している。各メモリセルのデータを設定するには、そのトランジスタのしきい値電圧を高レベルまたは低レベルの高低2つに設定して行っている。この様にデータ

(3)

特開平7-29383

3

を設定すると一つのメモリセルには1ビット分のデータしか記憶することが出来ないため大容量のメモリを実現しようとする。チップサイズが大きくなるという欠点があった。

【0003】そこで、近年、この様な欠点を解決するために1つのメモリセルに2ビット分のデータを記憶させることによって、メモリの大容量化をはかる方式が提案されている。これを多値メモリという。その方式としては、メモリセルのトランジスタのゲート長やゲート幅を変えることによって複数の異なる電流値を設定したり、或いはセルを構成するMOSトランジスタへ不純物をイオン注入する際にそのインプラ量を調整してしきい値電圧を複数の値に変える方法などがある。従来のメモリは、例えば、そのメモリセルのしきい値を2種類に変化させることにより“0”、“1”の2種類の情報を書き込むことが出来る。また、新しい方式による多値メモリではメモリセルに2種類以上の状態変化を持たせることにより、2種類以上の情報を1つのセルに書き込んでセル容量を増大させている。多値メモリは、ROMだけでなく、EPROM、EEPROM、DRAM、SRAMなどの他の形式のメモリにも適用できる。図46は、多値メモリとして、例えば、多値ROMの $V_{q-id}$ 特性を示す特性図である。このメモリは、各メモリセルが4種類のしきい値のいずれかを備えており、1つのメモリセルに4種類の情報、即ち、2ビットの情報を保持することが可能である。メモリセルのしきい値を $V_1 \sim V_4$  ( $V_1 < V_2 < V_3 < V_4$ )で表わし、しきい値 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ を有するメモリセルをそれぞれM00、M01、M10、M11と本発明では称する。そして、これら各メモリセルはそれぞれ“00”、“01”、“10”、“11”の情報を有しているものとする。図はこの様なしきい値を備えた各メモリセルの $V_{q-id}$ 特性を示すものである。

【0004】図47に、この多値ROMの読出し回路を示す。図48は、図47の読出し回路に使われるセンス増幅器(センスアンプ)の例であり、図49は、その出力回路の1例である。図47において、メモリセルアレイは、複数のマトリクス状に配置されたMOSトランジスタからなるメモリセル(M1、M2、M3、...)から構成されている。各メモリセルのゲートは、ワード線(W1、W2、W3、...)が接続されており、これらワード線は、ローデコーダ2に接続されている。各メモリセルのドレインは、ビット線(B1、B2

4

、B3、...)に接続され、ビット線は、第1の選択トランジスタ(S11、S21、S12、S22、...)を介して第1のカラムデコーダ3に接続されている第1のビット選択線(L1、L2、L3、...)に接続している。ビット線は、複数本を1つのブロックとして、複数のブロックを構成し、各ブロックはそれぞれ主ビット線(MB1、MB2、...)に接続している。主ビット線は、第2の選択トランジスタ(S1、S2、...)を介して第2のカラムデコーダ4に接続されている第2のビット選択線(C1、C2、...)に接続している。主ビット線は、センスアンプ5の入力側(SIN)に接続され、このセンスアンプ5の出力は、出力回路の入力側に接続されている。アドレスの入力により第2のカラムデコーダ4によって第2の選択線の1本が選択され、同時に第1のカラムデコーダ3によって第1の選択線の1本が選択される。そして、ビット線の1本が選択されてセンスアンプ5の入力SINに入力する。同様に、ローデコーダもアドレスによりワード線の1本が選択され、メモリセルのゲートに適宜電圧( $V_{dd}$ )が印加される。ここで、アドレス信号によって第1のビット選択線L1、第2のビット選択線C1及びワード線W1が選択されると、メモリセルアレイからメモリセルM1が読出される。図48のセンスアンプ5のP型トランジスタTr2と直列に接続されたP型の負荷トランジスタTr1とメモリセルの流す電流( $i_{cell}$ )によりセンスアンプ5の入力SINの電位は決定される。読出されたメモリセルM1が所定のしきい値を有するM00、M01、M10、M11の各セルである場合のセンスアンプ5の入力SINのレベルは、図50に示す感線になっている。図48に示すインバータIN1、IN2、IN3の切替わり電位INV1、INV2、INV3は、図のように設定する。このように設定し、前記各セルのいずれかのレベルと比較することにより、その結果がセンスアンプ5から出力する。その出力DA1、DB1、DC1は、メモリセルM1がどのセルに相当するかにより表1に示すような値を示す。このセンスアンプ5の出力は、図49に示す出力回路6に入力され、出力回路6で2ビットのデータOUTA及びOUTBに変換される。すなわち、各セルによって得られる2ビットのデータがOUTA、OUTBである。

【0005】

【表1】

(4)

特開平7-29383

5

6

メモリセル	DA1	DB1	DC1	OUTA	OUTB
M00	0	0	0	0	0
M01	1	0	0	0	1
M10	1	1	0	1	0
M11	1	1	1	1	1

【0006】

【発明が解決しようとする課題】以上のように、多値メモリは読出されるが、このメモリ読出し法では、セルに印加される電圧 $V_{IN}$ から $GND$ （接地）までの電位を4分割してデータをセンスしているので、読出し余裕が少なく、また、各セルを流れる電流（ $I_{cell}$ ）の差が少ないため負荷トランジスタ $T_{r1}$ などを用いる負荷の設定が難しく、その分割がアンバランスになり読出し余裕も無くなる。また、電流 $I_{cell}$ のバラツキがあることや4値を超える情報を1つのセルに記憶させる場合を考慮にいれると、読出し余裕はさらに無くなり、正常な読出し動作が行えない可能性もある。また“000”、“010”など3ビットの情報を1つの情報としてメモリセルに記憶するには、セルに印加される電圧 $V_{IN}$ から $GND$ まで電位を8分割する必要があり、さらに読出し余裕がなくなる。また、最近のメモリの多ビット化傾向や1度の読出しで多数のデータをセンスし、それを順次読出す方式のようにセンスアンプを多数備える必要が出て来た場合、このような読出し回路による読出し方式では、パターンの増大やピーク電流の増加を招く。本発明は、このような事情によりなされたものであり、メモリの読出し余裕を広げ、パターンを縮小し、ピーク電流を減少させる読出し回路やこれを用いた読出し方式を実施することが可能な半導体記憶装置を提供する。

【0007】

【課題を解決するための手段】本発明は、メモリセルのゲートに印加される電圧、即ち、ワード線に印加される電圧を変えながらデータを読出すことを特徴としている。また、読出し動作を数回に分けて行うことを特徴としている。さらに、読出し動作時にメモリセルのゲートに印加される電圧をリファレンスのメモリセルにより設定することを特徴としている。すなわち、本発明の半導体記憶装置は、マトリクス状に配置された複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路と、読出し動作時において前記複数のメモリセルの中から読み出される所定のメモリセルを少なくとも2つ以上内部的に順次選択

する手段を有するビット線選択手段と、前記ビット線選択手段により選択された所定のビット線の電位を検出して前記複数のメモリセルの中から読み出されるメモリセルの流す電流をセンスするセンスアンプと、少なくとも2つ以上のラッチ回路と、前記内部的に順次選択された少なくとも2つ以上のメモリセルの前記センスアンプの出力を前記ラッチ回路にそれぞれラッチする順次回路とを備えていることを第1の特徴としている。また、マトリクス状に配置された複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路とを備え前記電圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタにより構成されるリファレンスのトランジスタにより前記ワード線に供給する複数の電位を設定することを第2の特徴としている。

【0008】さらに、マトリクス状に配置された複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路とを備え、前記電圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタにより構成されるリファレンスのトランジスタのゲートに、前記ワード線に供給する複数の電位と同等の電位を供給する手段を有し、前記リファレンスのトランジスタのドレインに接続され、前記リファレンスのセルの流す電流をセンスするリファレンスセンスアンプを具備し、このリファレンスセンスアンプの出力により、前記センスアンプの出力をこのセンスアンプに接続されたラッチ回路にラッチするか、又は、前記センスアンプに接続された出力回路により出力することを第3の特徴としている。前記リファレンスのトランジスタが、前記メモリセルと同じしきい値のトランジスタ、前記メモリセルと同じしきい値が異なり電流特性が同じトランジスタ、前記メモリセルと同じしきい値で電流特性がこのメモリ

(5)

特開平7-29383

7

セルの電流特性の何倍かの電流特性を持つトランジスタ、又は前記メモリセルとしきい値が異なるが電流特性がこのメモリセルの電流特性の何倍かの電流特性を持つトランジスタのいずれか少なくとも1つ以上のトランジスタにより構成しても良い。本発明の半導体記憶装置の読出し方法は、1読み出し動作において、マトリクス状に配置された複数のメモリセルのゲートが接続されている複数のワード線の中の所定のワード線に電圧可変回路により所定の電位を供給する手段と、前記メモリセルのドレインが接続されている複数のビット線の中の所定のビット線の電位を検出し、その電位に基づいて形成されたメモリセルデータを出力する手段と、前記所定のワード線が前記所定の電位の状態で前記複数のビット線の中の他のビット線の電位を検出してその電位に基づいて形成されたメモリセルデータを出力し、この出力動作を更に前記複数のビット線の別のビット線に続ける内部的な手段とを備えていることを特徴としている。

【0009】

【作用】読出し動作を数回に分けることで、センスアンプの数とピーク電流を減らすことができる。また、読出し時にメモリセルのゲートに印加される電圧をあらかじめデータの分かっているセル（リファレンスのセル）を用いて設定することで、電源電圧の変動やセルの特性の変化に対しても常に読出しに最適な電圧を選択できる。

【0010】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図1乃至図11、図49を参照して第1の実施例を説明する。図1及び図2は、半導体記憶装置のメモリセル部及びセンスアンプを含む出力回路部の回路ブロック図、図3は、半導体記憶装置に用いるセンスアンプの回路図、図4は半導体記憶装置に用いる出力回路のラッチブロックの一例を示す回路図、図49は、この半導体記憶装置に用いる出力回路の論理回路の1例を示す回路図、図5は、この半導体記憶装置に用いるローデコーダの回路図、図6は、この半導体記憶装置に用いる電圧可変回路の回路図、図7は、この半導体記憶装置を用いて実施した読出し動作のフローチャート図、図8は、このフローチャートに従って読出し動作を行う場合のワードレベルと読出し動作の時間変化を示す動作図、図9乃至図11は、この半導体記憶装置の動作波形図である。図1及び図2において、メモリセルアレイ1は、複数のマトリクス状に配置されたMOSトランジスタからなるメモリセル（M1、M2、M3、・・・）から構成されている。メモリセルM1は、前述した所定のしきい値を備えたセルM0の構造を備えている。同様にメモリセルM2、M3、M4は、それぞれ前述のセルM0、M1、M10、M11の構造を備えている。各メモリセルのゲートには、ワード線（W1、W2、W3、・・・）が接続されており、これらワード線は、ローデコーダ2に接続されている。各メモリセルのドレインはビット線（B

8

1、B2、B3、・・・）に接続され、これらビット線は第1の選択トランジスタ（S11、S21、S12、S22、・・・）を介して第1のカラムデコーダ3に接続されている第1のビット選択線（L1、L2、L3、・・・）に接続している。

【0011】ビット線は複数本を1つのブロックとして、複数のブロックを構成し、各ブロックは、それぞれ主ビット線（MB1、MB2、・・・）に接続している。主ビット線は、第2の選択トランジスタ（S1、S2、・・・）を介して第2のカラムデコーダ4に接続されている第2のビット選択線（C1、C2、・・・）に接続している。主ビット線は、センスアンプ5の入力側（SIN）に接続され、このセンスアンプ5の出力OUTは、出力回路のラッチブロック71〜74の入力側に接続している。ラッチブロック71〜74からデータDA1、DB1、DC1（i=1〜4）が出力され、これは、出力回路の論理回路81〜84に入力されて、この論理回路81〜84で2ビットのデータOUTiA、OUTiB（i=1〜4）に変換される。レベルの異なる電位が出力される電圧可変回路9がローデコーダ2に接続され、その出力によって所定のワード線Wが選択される。図6に示すように電圧可変回路9には、3種類の入力（LW1、LW2、LW3）がそれぞれPチャネルトランジスタTr3、Tr4、Tr5のゲートに入力され、抵抗分割によって所定の出力ZWを得る。抵抗R0〜R3による抵抗分割によってLW1がローレベルのときに出力ZWには図46に示すV2が出力するように設定されている。LW2がローレベルのときに出力ZWには、同じくV3が出力するように設定されている。

【0012】そして、LW3がローレベルのときに出力ZWには、V4が出力するように設定されている。また、この出力がそのゲートに入力するトランジスタTr7は、しきい値が零に近いエンハンスメント型であり、これと直列に接続されている抵抗Rm1を高抵抗にしているためにその出力VWはほぼZWに等しい。この出力VWは、図5のローデコーダ2に供給されるが、LW1をローレベルにすると、ローデコーダ2によって選択されたワード線にV2のレベルが出力される。LW2をローレベルにすると、ワード線にはV3のレベルが出力される。LW3をローレベルにするとワード線にはV4のレベルが出力される。そして、LW1〜LW3をすべてハイレベルにすると0Vが出力される（図9乃至図11参照）。アドレス信号ADD1（ADD1、ADD2、ADD3、・・・）によりカラムデコーダ4から第2のビット選択線C1が選択され、ローデコーダ2からワード線W1が選択される。この時同時にLW1をローレベル、LEをハイレベルにするために、ワード線W1は、0VからV2のレベルに充電される。ワード線W1はV2のレベルまで徐々に上がっていき、V2のレベルまで達したところで、内部アドレスにより第1のビット選択

(6)

特開平7-29383

9

線L1をハイレベルにする。このときメモリセルM1が選択される。このメモリセルM1は、しきい値電圧V1を有するセルM0構造を備えている。

【0013】この時、センスアンプ5の出力SOUTは、ワード線がV2のレベルであり電流を流しているため、0レベルとなり、このデータは、出力回路61のラッチブロック71においてラッチパルスA1によりラッチされる。そして、ラッチブロック71の出力DA1は、アンノウン(UNKNOWN)状態(データが0か1か分からない状態)から0レベルに変わる。次に、内部アドレスを進めて第1のビット選択線L1をローレベルにし、第1のビット選択線L2をハイレベルにする。ワード線W1はV2のレベルを維持している。このときメモリセルM2が選択される。このメモリセルM2は、しきい値電圧V2を有するセルM0構造を備えている。したがって、V2のレベルでは電流が流れないか、殆ど流れない。そのため、センスアンプの入力SINは、インバータINの切り切り電圧まで下がらず、その出力SOUTは、1レベルとなる。このデータは、出力回路62のラッチブロック72においてラッチパルスA2によりラッチされる。そして、ラッチブロック72の出力DA2は、アンノウン(UNKNOWN)状態(データが0か1か分からない状態)から1レベルに変わる。次に、内部アドレスを進めて第1のビット選択線L2をローレベルにし、第1のビット選択線L3をハイレベルにする。ワード線W1はV2のレベルを維持している。このときメモリセルM3が選択される。このメモリセルM3は、しきい値電圧V3を有するセルM10構造を備えている。したがって、V2のレベルでは電流が流れない。

【0014】そのため、センスアンプの入力SINは、インバータINの切り切り電圧まで下がらず、その出力SOUTは、1レベルとなる。このデータは、出力回路63のラッチブロック73においてラッチパルスA3によりラッチされる。そして、ラッチブロック73の出力DA3は、アンノウン(UNKNOWN)状態(データが0か1か分からない状態)から1レベルに変わる。次に、内部アドレスをさらに進めて第1のビット選択線L3をローレベルにし、第1のビット選択線L4をハイレベルにする。ワード線W1はV2のレベルを維持している。このときメモリセルM4が選択される。このメモリセルM4は、しきい値電圧V4を有するセルM11構造を備えている。したがって、V2のレベルでは電流が流れない。そのためセンスアンプの入力SINは、インバータINの切り切り電圧まで下がらず、その出力SOUTは、1レベルとなる。このデータは、出力回路64のラッチブロック74においてラッチパルスA4によりラッチされる。そして、ラッチブロック74の出力DA4は、アンノウン(UNKNOWN)状態(データが0か1か分からない状態)から1レベルに変わる。この様に、カラムデコード3を内部アドレスで切り変えながらラッチパル

10

スA1～A4でデータをラッチして行く。ラッチパルスA4でデータをラッチした後、カラムデコード3の操作で、第1のビット選択線L1～L4をすべてローレベルにし、かつ、電圧可変回路9の入力LW1をハイレベル、LW2をローレベルにしてワード線W1をV3のレベルに充電する。

【0015】ワード線W1が徐々に上がっていき、V3のレベルまで達したところで、内部アドレスにより第1のビット選択線L1をハイレベルにする。このときメモリセルM1(セル構造M00)が選択される。この時センスアンプ5の出力SOUTは、ワード線がV3のレベルで電流を流れているため、0レベルとなり、このデータは、出力回路61のラッチブロック71においてラッチパルスB1によりラッチされる。そして、ラッチブロック71の出力DB1は、アンノウン状態から0レベルに変わる。次に、内部アドレスを進めて第1のビット選択線L1をローレベルにし、第1のビット選択線L2をハイレベルにする。このときメモリセルM2(セル構造M01)が選択される。したがって、V3のレベルで電流が流れるためセンスアンプの出力SOUTは0レベルとなる。このデータは出力回路62のラッチブロック72においてラッチパルスB2によりラッチされる。そしてラッチブロック72の出力DB2は、アンノウン状態から0レベルに変わる。次に、内部アドレスを進めて第1のビット選択線L2をローレベルにし、第1のビット選択線L3をハイレベルにする。このときメモリセルM3(セル構造M10)が選択される。したがって、V3のレベルであり電流が流れないか、ほとんど流れない。そのため、センスアンプの入力SINは、インバータINの切り切り電圧まで下がらず、その出力SOUTは、1レベルとなる。

【0016】このデータは、出力回路63のラッチブロック73においてラッチパルスB3によりラッチされる。そして、ラッチブロック73の出力DB3は、アンノウン状態から1レベルに変わる。次に、内部アドレスをさらに進めて第1のビット選択線L3をローレベルにし、第1のビット選択線L4をハイレベルにする。このときメモリセルM4(セル構造M11)が選択される。従って、V3のレベルでは電流が流れない。そのため、センスアンプの入力SINは、インバータINの切り切り電圧まで下がらず、その出力SOUTは1レベルとなる。このデータは出力回路64のラッチブロック74においてラッチパルスB4によりラッチされる。そして、ラッチブロック74の出力DB4は、アンノウン状態から1レベルに変わる。この様に、カラムデコード3を内部アドレスで切り変えながらラッチパルスB1～B4でデータをラッチして行く。ラッチパルスB4でデータをラッチした後カラムデコード3の操作で、第1のビット選択線L1～L4をすべてローレベルにし、かつ、電圧可変回路9の入力LW2をハイレベル、LW3をローレベルに



(7)

特開平7-29383

11

してワード線W1をV4のレベルに充電する。ワード線W1の電位が徐々に上がっていき、V4のレベルまで達したところで、内部アドレスにより第1のビット選択線L1をハイレベルにする。このときメモリセルM1（セル構造M00）が選択される。この時、センスアンプ5の出力SOUTはワード線がV3のレベルで電流を流れているので、0レベルとなり、このデータは、出力回路61のラッチブロック71においてラッチパルスC1によりラッチされる。

【0017】そして、ラッチブロック71の出力DC1は、アンノウン状態から0レベルに変わる。次に、内部アドレスを進めて第1のビット選択線L2をハイレベルにする。このときメモリセルM2（セル構造M01）が選択される。したがって、センスアンプの出力SOUTは0レベルとなる。このデータは、出力回路62のラッチブロック72においてラッチパルスC2によりラッチされる。そして、ラッチブロック72の出力DC2は、アンノウン状態から0レベルに変わる。次に、内部アドレスを進めて第1のビット選択線L3をハイレベルにする。このとき、メモリセルM3（セル構造M10）が選択され\*

12

る。したがって、センスアンプの出力SOUTは0レベルとなる。このデータは、出力回路63のラッチブロック73においてラッチパルスC3によりラッチされる。そして、ラッチブロック73の出力DC3は、アンノウン状態から0レベルに変わる。次に、内部アドレスをさらに進めて第1のビット選択線L4をハイレベルにする。ワード線W1はV4のレベルを維持している。このときメモリセルM4が選択される。そのため、センスアンプの出力SOUTは1レベルとなる。このデータは、出力回路64のラッチブロック74においてラッチパルスC4によりラッチされる。そして、ラッチブロック74の出力DC4は、アンノウン状態から1レベルに変わる。この様にカラムデコーダ3を内部アドレスで切り変えながらラッチパルスC1～C4でデータをラッチして行く。ラッチパルスC4でデータをラッチした後、高圧可変回路9の入力LW3をハイレベル、ローデコーダ2の非選択信号LEをローレベルとしてローデコーダ2の出力をすべてローレベルにして読出し動作を終了する。

【0018】

【表2】

メモリセル	DA1	DB1	DC1	OUT1A	OUT1B
M1 (M00) i=1	0	0	0	0	0
M2 (M01) i=2	1	0	0	0	1
M3 (M10) i=3	1	1	0	1	0
M4 (M11) i=4	1	1	1	1	1

【0019】この1連の読出し動作によって、ラッチ回路71からデータ“000”が出力し、これが論理回路81に入力されて、ここから2ビットデータ“00”が出力される。同様にして他の論理回路82～84から、データ“01”、“10”、“11”が出力される。このときに読み出されたデータは、上記の表2に示される。その後、カラムデコーダ4の出力を切り変えて第2のビット選択線C2、C3・・・を選択して次ぎの読出し動作を行う。以上のように本発明は、ワード線電位を

40

ワード線に接続されたメモリセルアレイ1のメモリセルを読み出すことを図8に示す1読出し動作という。

【0020】この読出し動作中、前記ワードレベルは第1の電位（V2）、第2の電位（V3）、・・・第mの電位（V<sub>m+1</sub>）に変化される。この実施例では、3つの電位を用いている（m=3）。次に、前記所定のワード線を第1の電位V2に充電する。図8のように、このワード線が第1の電位に達するまでは読出しは行わず、この電位になってからワード線に接続された第1のメモリセルM1を選択してこれを読出す。次いで、第2、第3・・・のメモリセルを読出し、第nのメモリセルMnまで読出す。この実施例では第4のメモリセルM4まで読出す。最後のメモリセルを読出してから、ワードレベルを1つ上げて、ワードレベルを第2の電位V3にする。そして、この状態で前と同様に前記メモリセルを順次読出す。これを最後の第3の電位V4まで繰り返し、最後の電位において、最後のメモリセルM4が読出されてから、前記所定のワード線のワードレベルを0にして1読出し動作を終了する。次の、次の読出し動作を行うため

50

(8)

特開平7-29383

13

に、カラムデコーダ4により次の第2のビット選択線を選択してから、所定のワード線のワードレベルを所定の電位に上げる。

【0021】次いで、図12と図13を参照して第2の実施例を説明する。図12は、半導体記憶装置の読出し動作を示すフローチャート図、図13は、このフローチャートに従って読出し動作を行う場合のワードレベルと読出し動作の時間変化を示す動作図である。本発明では、ワードレベルを読出し動作中において順次変えていくので、ワードレベルを所定の電位まで充電するには、ある程度時間がかかり、その間は読出しは行わない。したがって、その時間を効率良く短くすることは重要である。前記第1の実施例では、2つの読出し動作を連続して行う場合に、ワードレベルをV4から0Vに1度落とし、その後V2のレベルに上げている。この実施例では第1の読出し動作の最後のワードレベルV4から0Vに落とさず、次の第2の読出し動作の最初のワードレベルV2に変えている。したがって、充電時間が短くなり、読出し動作時間が短縮される。その手順は、図12に示すように第1の読出し動作の最終段階のメモリセルM4を

読出してから、ワードレベルを0Vにしないでカラムデコーダ4によって第2のビット選択線Cを変え、その後第2の読出し動作のためにワードレベルをV2にする。

【0022】次いで、図14と図15を参照して第3の実施例を説明する。図14は半導体記憶装置の読出し動作を示すフローチャート図、図15は、このフローチャートに従って読出し動作を行う場合のワードレベルと読出し動作の時間変化を示す動作図である。この実施例では1読出し動作を前半(k=0)と後半(k=1)に分け、後半は、前半とは逆の読出し順序で実施する。まず、所定のワード線のワードレベルを0の状態

14

で行う。後半の読出しが終わってから前記所定のワード線のワードレベルを0にして1読出し動作を終了する。次に、次の読出し動作を行うために、カラムデコーダ4により次の第2のビット選択線を選択してから、所定のワード線のワードレベルを所定の電位(V2)に上げる。

【0023】次いで、図16と図17を参照して第4の実施例を説明する。図16は半導体記憶装置の読出し動作を示すフローチャート図、図17は、このフローチャートに従って読出し動作を行う場合のワードレベルと読出し動作の時間変化を示す動作図である。この実施例では、第3の実施例と同様に1読出し動作を前半(k=0)と後半(k=1)に分け、後半は、前半とは逆の読出し順序で実施する。まず、所定のワード線のワードレベルを0の状態

で読出し動作中、前記ワードレベルは、第1の電位(V2)、第2の電位(V3)及び第3の電位(V4)に変化される。次に、前記所定のワード線を第1の電位V2に充電する。この電位V2になってから第1のメモリセルM1を選択しこれを読出す。次いで、第2、第3、第4のメモリセルを読出す。最後のメモリセルを読出してから、ワードレベルを1つ上げて、ワードレベルを第2の電位V3にする。そして、この状態で前と同様に前記メモリセルを順次読出す。これを最後の第3の電位V4まで繰り返す。最後の電位において、最後のメモリセルM4が読出されてから、後半(k=1)の動作に移りカラムデコーダ4によって次の第2のビット選択線を選択し、第3の電位V4のままで後半の読出しを行う。前半は、所定のワードレベルにおいて、読出し1~4の順序で4回読出しを行うのに対して、後半では、前半とは逆の順序で読出し4~1を行う。そのときの読出し最後のワードレベルV2は、そのまま維持して、次の読出し動作に入る。即ち、ワードレベルV2を維持したまま、カラムデコーダ4により次の第2のビット選択線を選択してから、そのワードレベルで次に前半の読出しを行う。

【0024】以上のように、本発明の実施例は、ワード線の電位を変えながら読出しを行うので、例えば、ワードレベルV2において読出しを行う場合は、電流を流すセルM00と、電流を流さないか殆ど流さないセルM01、M10、M11をセンスし、ワードレベルV3において読出しを行う場合は、電流を流すセルM00、M01と、電流を流さないか殆ど流さないセルM10、M11をセンスし、ワードレベルV4において読出しを行う場合は、電流を流すセルM00、M01、M10と、電流を流さないか殆ど流さないセルM11をセンスする(図46参照)。したがって、センスレベルは、つねに1つ設定すれば良く、また、センスすべきメモリセルのセル電流(I<sub>cell</sub>)の差が大きいので広い読出し余裕を持つことができる。また、4ビットの多値ROMのセル4個のデータを読出すために、従来ではセンスアンプのデータのセンス部分(図3のIN)が3個必要であったが、この実施例では、セン

(9)

特開平7-29383

15

スアンプのデータのセンス部分が1つで良いために、半導体基板のパターン面積が縮小され（本実施例では、インバータを用いているが、例えば、カレントミラーを用いたり、恒々の工夫を加えた場合、かなりのパターン面積を持つ）、さらに、内部で読出しを、例えば、4回に分けて行うためにセンスアンプの動作電流を1/4に抑え、また、センスアンプの個数も1/4ですむため、パターン面積が縮小される。

【0025】以上のように、本発明ではワード線のレベルを変化させながら読出しを行い、その読出し動作は、各ワードレベルにおいて複数に分割して行っている。このレベルを変化させる場合において、図6に示す電圧可変回路を使用して、電源電圧（V<sub>dd</sub>）により所定のワード線レベルを設定している。ここで、前述の各実施例について、図46に示されるメモリセルのしきい値V<sub>1</sub>～V<sub>4</sub>に具体的な数値を当てはめて説明する。メモリセルのしきい値は、それぞれV<sub>1</sub>=0.7V、V<sub>2</sub>=1.7V、V<sub>3</sub>=2.5V、V<sub>4</sub>=3.5Vとし、ワード線の第1のレベルをV<sub>2</sub>、第2のレベルをV<sub>3</sub>、第3のレベルをV<sub>4</sub>とする。この電圧可変回路では、抵抗分割によって電源電圧から所定の出力V<sub>W</sub>を得るために抵抗R<sub>0</sub>を595Ω、抵抗R<sub>1</sub>を805Ω、抵抗R<sub>2</sub>を357Ω、抵抗R<sub>3</sub>を85Ωと設定する。この様に設定すると、電源電圧V<sub>dd</sub>を4.0Vとした場合において、各抵

16

\* 抗に直列に接続されたスイッチングトランジスタのゲート電圧LW1が0の時にワード線に第1のレベルが供給され、LW2が0の時にワード線に第2のレベルが供給され、LW3が0の時にワード線に第3のレベルが供給される。通常、電源電圧は、ある範囲があり、その範囲内での回路動作を保証しなければならない。例えば、電源電圧の保証範囲を4.0V～6.0Vとした場合、V<sub>dd</sub>=6.0Vでは、下記の表4に表されるようにワード線の可変レベルが必要とする狙い目より大きく崩れてしまう。これは、下記の表3に示すようにレベルの設定が電源電圧の単純な抵抗分割により行われているためである。従って、この電圧可変回路では、回避できない問題である。また、ワード線の可変レベルの狙い目はメモリセルの特性により決定するが、図6の電圧可変回路では予め可変レベルが抵抗で設定されているために、メモリセルの特性が予定よりずれた場合、読み出しに最適なワード線のレベルからずれてしまう。これは可変レベルの狙い目をメモリセルのしきい値V<sub>2</sub>、V<sub>3</sub>、V<sub>4</sub>ではなく、別のレベル、例えば、メモリセルのしきい値の中間値、 $(V_1 + V_2) / 2$ 、 $(V_2 + V_3) / 2$ 、 $(V_3 + V_4) / 2$ のように選んだ場合でも問題は同じである。

【0026】

【表3】

入力			VW
LW1	LW2	LW3	
0	1	1	$R_0 / (R_0 + R_1) \times V_{dd}$
1	0	1	$R_0 / (R_0 + R_2) \times V_{dd}$
1	1	0	$R_0 / (R_0 + R_3) \times V_{dd}$

【0027】

※ ※ 【表4】

入力	LW1=0	LW2=0	LW3=0
狙い目	1.7V	2.5V	3.5V
V <sub>dd</sub> =4.0V	1.7V	2.5V	3.5V
V <sub>dd</sub> =6.0V	2.55V	3.75V	5.25V

【0028】以上のように、図6のワード線に対する電圧可変回路では、可変レベルの設定が、電源電圧の違いやメモリセルの特性が予定よりずれた場合に読み出しに最適なワード線のレベルからずれるという問題がある。次に、ワードレベルを決定するためにメモリセルを用い

ることにより、電源電圧の違いやメモリセルの特性が予定よりずれた場合にも読出しに最適なワード線のレベルを供給できる回路を用いた実施例について説明する。

【0029】まず、図18を参照して第5の実施例を説明する。図は、ワード線のレベルを供給する電圧可変回

(10)

特開平7-29383

17

路である。この電圧可変回路に利用するメモリセルM9、M10、M11にそれぞれ直列に接続される抵抗Rm1、Rm2、Rm3及び抵抗Rm4は、高抵抗であり、トランジスタTr11、Tr22、Tr33は、0Vに近いしきい値を持つエンハンスメント型トランジスタである。電源電圧Vddが印加されるPチャネルトランジスタTr8のゲート電圧CEBをローレベルにしたときにノードZW1のレベルは、抵抗Rm1が高抵抗であるため電流が殆ど流れない事と、メモリセルM01のゲートがそのドレインに接続されているために、メモリセルM01のしきい値V2のレベルをZW1が越え、メモリセルM01が電流を加速度的に流し始める事により、ほぼV2のレベルに落ち着く。また、電源電圧の変化に対しても抵抗Rm1の流す電流が、ZW1がV2のレベルを超えたときにメモリセルM01が流す電流に比べ、あまりにも小さいためノードZW1のレベルは、V2のレベルに落ち着く。同様の理由により、ノードZW2は、メモリセルM10のしきい値V3に落ち着き、ノードZW3は、メモリセルM11のしきい値V4に落ち着く。また、トランジスタTr11、Tr22、Tr33は、0Vに近いしきい値を持つエンハンスメント型であることと抵抗Rm4が高抵抗である事により、ノードVWのレベルは、LW1がロウレベルのときはほぼZW1のレベル、即ち、V2が出力され、LW2がロウレベルのときはほぼZW2のレベル、即ち、V3が出力され、LW3がロウレベルのときはほぼZW3のレベル、即ち、V4が出力される。

【0030】また、この電圧可変回路の出力VWをロウデコーダの電源VWとして供給することにより、LW1がロウのときV2のレベルを供給し、LW2がロウのときV3のレベルを供給し、LW3がロウのときV4のレベルを供給する事ができる。以上のように、この実施例では、電源電圧の違いやメモリセルのしきい値の変動によらず、常にメモリセルのしきい値のレベルをワード線に供給できる。この実施例の半導体記憶装置を用いて、次ぎに示すような読出し方法を行った場合について考えてみる。読出すセルが、ワード線が第1のレベルにあるときにはM00かどうかを判別し、ワード線が第2のレベルのときにはM00もしくはM01かどうかを判別し、ワード線が第3のレベルのときにはM00、M01、M10のなかのいずれかであるかもしくはそうでないかを判別し、この判別の結果により読出したセルが何であるかを判別する。また、そのメモリセルの判別にはセル電流を用いて判別するものとする場合である。この場合のワード線の第1のレベルとはLW1がロウレベルのときのレベルであり、第2のレベルとはLW2がロウレベルのときのレベルであり、第3のレベルとはLW3がロウレベルのときのレベルである。ワード線が第3のレベル、つまり、V4のときの読出しで、最も判別しにくいものは、M10とM11の分岐である。それは、ワード線が

18

V4のレベルのときにM00、M01、M10の内のM10が最もセル電流が少ないためである。

【0031】ここで、電源電圧がM11のしきい値より下がり、M10のしきい値とM11のしきい値の間にある場合について考える。この時、第3のレベルはこの実施例では電源電圧である。しかし、電源電圧を昇圧し、ワード線に電源電圧以上の電圧(V4)を与えない場合、最も読出し易いワード線の電位は、M10のセル電流が最も大きくなる電位、即ち、電源電圧であり、この実施例の回路は、上記のような場合においても読出しに最適な電位をワード線に供給することができる。次に、図19乃至図34を参照して第6の実施例を説明する。図19はワード線のレベルを供給する電圧可変回路である。この回路に用いられる抵抗RP0、RP1、RP2、RP3、・・・、RP19、RP20は、すべて同じ抵抗値である。電源電圧をVddとすると、この電圧可変回路の入力GVが1で、GVBが0の時には、抵抗RP0～RP20の抵抗分によりノードVdd5は、Vddの5%の電位になり、ノードVdd10は、Vddの10%の電位になる。即ち、ノードVddn(n=5、10、15、・・・、90、95、100)は、Vddのn%の電位になる。一方、入力GVBが1でGVが0のときにはノードVdd5は、Vddの0%の電位(0V)になり、ノードVdd10は、Vddの5%の電位になる。即ち、ノードVddnは、Vddの(n-5)%の電位になる。また、ノードVXには、RDが1のときに入力GD5～GD100のいずれか1つを1にすることでノードVdd5～Vdd100の電位になる。

【0032】さらに、抵抗Rm2は高抵抗であり、トランジスタTr9は、0Vに近いしきい値を持つエンハンスメント型トランジスタであるためにRDが1のときには、ノードVW2の電位は、ほぼVXの電位に等しくなる。即ち、この回路は、出力VW2のレベルを電源電圧の5%、10%、15%、・・・、100%に可変できる。また、GVとGVBとを切り換えることにより簡単に1段低いレベル(例えば、電源電圧の20%なら、それより5%低い電源電圧15%にする。)に切り換えることができる。さらに、VW2は、図5に示されるロウデコーダの電源VWに供給することでワード線にVW2の電位を供給できる。図20は、カウンタ回路である。この回路のD1及びD2は、ディレイ回路であり、D1は、50NS、D2は、20NSのディレイ回路である。図21乃至図22は、デコーダ回路である。図23乃至図27は、可変レベルのアドレスをラッチするラッチ回路である。図28は、可変レベルを読出しに最適なレベルにストップするための可変ストップ回路である。RBがロウのときにSA1～SA3のいずれか1つをハイとし、M01、M10、M11のいずれか1つを選択するものである。このときメモリセルの流す電流(セル電流)により、ノードSBの電位が下がり、セル電流があるレ

(11)

特開平7-29383

19

ベルを越えるとINV1で表されるインバータの出力がロウからハイに切り換わる。ここに負荷トランジスタT30の電流供給能力は、十分小さく、上記メモリセルが少しでも電流を流した場合すぐにINV1のインバータの出力が切り換わる。

【0033】図29は、読出し動作に入るときにワード線のレベルを1段下げるためのレベル切り換え回路である。図30は、図21乃至図22のGDEN0が1になったときにパルスが発生させるパルス発生回路である。回路内のD3、D4は、ディレイ回路であり、D3は、5NS、D4は、10NSである。図31はこの実施例を説明するためのメモリセルの特性モデルを示す。メモリセルのしきい値をM00が0.70V、M01が1.70V、M10が2.50V、M11が4.70Vであるとする。図32、図33、図34は、電源電圧V<sub>cc</sub>が4.0Vで、上記セル特性の時の回路の動作波形である。以後この動作波形に従い説明を進めていく。まず、入力RBを0とし、図28の可変ストップ回路をアクティブとする。また、同時にRBBを0とすることで図29のGVBが1となり、図19の抵抗R<sub>P0</sub>～R<sub>P2</sub>に電流が流れる。同時に、RSに負のパルスを加え図20の出力WA0～WA4（以後このWA0～WA4のデータをワードアドレスと呼ぶこととする）を0にリセットする。また図28の入力SA1を1とすることで、図28の可変ストップ回路は、M01が選択される。この時このセルのゲートVW2は、0VであるためノードSBは1である。その後RDを1にし、図21乃至図22のデコーダ回路の出力をアクティブとすることでGD05が1になるが、GVBが1であるためVW2は変わらず0である。その後図28の入力SRに正のパルスを加えることにより、第1のワード線の可変レベルを決定する動作に入る。

【0034】SRに加えられた正のパルスにより、WBが1となり、図29の回路の出力GVBが1から0に、GVが0から1に切り換わり、VW2には0.2Vが供給される。また、WBが1となることで、図20のカウント回路がアクティブとなりWKが発振を始め、WKの波形の立ち上がりでWLが正のパルスを出す。このWLのパルスにより、ワードアドレスが順次切り換わり図23乃至図27のラッチ回路の入力LE0が1、LE1～LE3が0であることにより、図21乃至図22のGD05～GD100が順次切り換わる。GD05～GD100が順次切り換わることにより、図19のVW2が0.2V、0.4V、0.6V・・・というように0.2Vステップ（電源電圧の5%ステップ）で上がっていく。VW2が1.8V、即ちGD45が1となったときにセルM01のしきい値を越え、図28のノードSBが1から0に切り換わり（GD45が1となった後に、ノードSBが切り換わるまでのディレイ時間はノードSBの容量により発生したディレイ時間を表している。）INV

20

V1の出力が0から1に変わり、WBが0に変わる。WBが0に変わることでGVBとGVが切り換わり、VW2には1.8Vの1段低いレベル、1.6Vが供給される。また、WBが0に変わることで図20のカウント回路のWKの発振が止まり、またワードアドレスの切り換わりが止まる。VW2は、本体セルのワード線にも供給されているため、本体セルのワード線にも1.6V、即ちM01のしきい値より0.1V低い電位が供給される。

【0035】ここで、第1の読出し動作を行い、図28の入力SA1を1から0とし、SA2を0から1にする。SA1を1から0とすることで図23乃至図27のノードWA01、WA11、WA21、WA31、WA41に第1のワードアドレスがラッチされる。また、図28のノードSBは、0から1に切り換わり、その後、SRに再び正のパルスを加えることで第2のワード線の可変レベルを決定する動作に入る。第1のワード線の可変レベルを決定する動作と同様に、WBが1となり、図29の回路の出力GVBが0から1に切り換わり、VW2には、1.8Vの電位が供給される。また、図20のカウント回路がアクティブとなり、第1のワード線の可変レベルを決定する動作と違いワードアドレスは、事前にリセットされていないため、ワードアドレスは、先程の続きから順次切り換わる。また、GDnは、先程の続きのGD45より順次切り換わり、VW2の電位が順次上昇していく。VW2がM10のしきい値を越えた時、すなわちGD65が1となりVW2が2.60Vとなった時、図28のノードSBが1から0に切り換わりINV1の出力が0から1に変わり、WBが0に変わる。WBが0に変わることでGVBとGVが切り換わり、VW2には2.6Vの1段低いレベル、2.4Vが供給される。また、WBが0に変わることで、図20のカウント回路のWKの発振が止まり、またワードアドレスの切り換わりが止まる。

【0036】先に述べたようにVW2は、本体メモリセルのワード線にも供給されているため本体メモリセルのワード線にも2.4V、すなわちM10のしきい値より0.1V低い電位が供給される。ここで第2の読出し動作を行い、図28の入力SA2を1から0にSA3を0から1にする。SA2を1から0とすることで、図23乃至図27のノードWA02、WA12、WA22、WA32、WA42に、第2のワードアドレスがラッチされる。また図28のノードSBは、0から1に切り換わる。その後、SRに再び正のパルスを加えることで第3のワード線の可変レベルを決定する動作にはいる。第1及び第2のワード線の可変レベルを決定する動作と同様に、WBが1となり、図29の回路の出力GVBが1から0に、GVが0から1に切り換わり、VW2には、2.6Vに電位が供給される。また、図20のカウント回路がアクティブとなり、GD65より順次切り換わる。図28の回路で今選択されているセルはM11である。

(12)

特開平7-29383

21

る。そして、M11のしきい値は4.70Vであるので、GD100が1となり、VW2に電源電圧4.0Vの電位が供給されても、SBは1のままである。GD100が1となった後の次のWLのバースでGD100とGDENDが同時に1となり、図30の出力SUから正のバースが出る。このバースによりWBが0になり、図20のワードアドレスの切り切りがとまる。第1及び第2のワード線の可変レベルを決定する動作では、図29のレベル切り換え回路により、VW2のレベルを1段下げていたが、GDENDが1となることでGVBとGVは

切り換わらずそのまま電源電圧が供給される。  
【0037】ここで、第3の読出し動作を行い、図28の入力SA3を1から0にすることで、図23乃至図27のノードWA03、WA13、WA23、WA33、WA43に、第3のワードアドレスがラッチされる。その後、RDを0とすることで図21乃至図22のGDN及びGDENDをすべて0とし、またVW2を0にする。その後RB、RBBを1とし、図28の可変ストップ回路をインアクティブとし、また図29のGVB、GV共に0とすることで図19の抵抗RP0～RP20に流れる電流をカットする。以上でワード線の可変動作の1サイクルが終了である。2サイクル目には、まず初めにRBBを0とし、図19の抵抗に電流を流す。この時の図29の出力は、GVBが1でGVが0である。次に図23乃至図27の入力LE0を0、LE1を1とすることで、可変動作の1サイクル時にラッチした第1のワードアドレスが出力され、同時にRDを1とすることでVW2には、可変動作の1サイクル時の第1の可変レベルと同様の1.6Vが供給される。ここで、第1の読出し動作を行う。次に、図23乃至図27の入力LE1を0、LE2を1とすることで、可変動作の1サイクル時にラッチした第2のワードアドレスが出力され、VW2には可変動作の1サイクル時の第2の可変レベルと同様の2.4Vが供給される。ここで第2の読出し動作を行う。次に、図23乃至図27の入力LE2を0、LE3を1とすることで可変動作の1サイクル時にラッチした第3のワードアドレスが出力される。この時GDENDが1となるためGVBが0、GVが1となり、VW2には可変動作の1サイクル時の第3の可変レベルと同様の電源電圧が供給される。

【0038】ここで第3の読出し動作を行う。その後、LE3を0、LE0を1とし、同時にRDを0とすることでVW2が0となる。その後RBBを1とすることで、GVB、GVを共に1にし、図19の抵抗に流れる電流をカットする。以上で2サイクル目が終了である。3サイクル以降は、2サイクル目と同様の動作を行うことにより、第1の可変レベル、第2の可変レベル、第3の可変レベルにワード線を簡単に可変することができる。以上の説明のように本実施例の回路は、可変レベルを決定するために3本のセルを用い、そのセルのゲート

22

に徐々に電圧を加えてゆき、そのセルが電流を流す少し手前の電位を第1、第2、第3の可変レベルとしているため、セルの特性が予定よりずれた場合、可変レベルも同時にずれずに読出しに最適なワード線のレベルを供給できる。また、電源電圧について、例えば、前記説明では4.0Vとして説明しているが、これは6.0Vでも良い。電源電圧が6.0Vであるためワード線の電位は0.3Vステップで可変される。したがって、上記動作を行った場合の可変レベルは、第1の可変レベルは1.5V、第2の可変レベルは2.4V、第3の可変レベルは4.5Vとなる。電源電圧が4.0Vのときの可変レベルは、第1の可変レベルが1.6Vであり、第2の可変レベルが2.4Vであり、第3の可変レベルが電源電圧(4.0V)であり、第1、第2の可変レベルについては電源電圧にほとんど依存していない。

【0039】また、第3の可変レベルについては、第3のセル、M11のしきい値よりも電源電圧が低い場合には、読出しに最適なワード線のレベルは、セルM10の電流が最も多くなる電源電圧であり、M11のしきい値よりも電源電圧が高い場合にはM11のしきい値であるので、電源電圧が4.0Vの場合4.0Vで、電源電圧が6.0Vの場合4.5Vであるのが読出しに最適な電位である。上記回路を用いた場合第3のセルのしきい値よりも電源電圧が低い場合を除き、可変レベルがそれぞれのセルのしきい値よりも最もずれた場合でも電源電圧の5%より小さくなり、また図19の抵抗RP1～RP20の抵抗を増やすことにより、このずれは更に小さくすることができる。例えば、抵抗を現在の倍にすれば、可変レベルは電源電圧の2.5%ステップであり、可変レベルがそれぞれのセルのしきい値よりも最もずれた場合でも電源電圧の2.5%より小さくなる。また、本実施例では可変レベルをそれぞれのセルM01、M10、M11が電流を流し始めたレベルより1段階としているが、これはそれぞれのセルが電流を流さないレベルに可変レベルをするためであり、可変レベルを1段階とす前のレベルでのそれぞれのセルの流す電流が読出し動作に問題なければ可変レベルを1段階とす必要はない。

【0040】また、この実施例ではワード線を0Vから電源電圧に上げながら可変レベルを決定する動作を行っているが、ワード線を初め電源電圧に上げ、電源電圧から0Vにこの実施例のように段階的に下げながらセルM11、M10、M01が電流を流さなくなるレベルを検出し、そのレベルを可変レベルと設定するようにすれば、上記のように可変レベルを1つ前のレベルに戻さなくても、それぞれのセルが電流を流さないレベルに可変レベルを設定することができる。また、この実施例では可変動作の1サイクル時に第1、第2、第3のワードアドレスをラッチし、2サイクル以降ではこの第1、第2、第3のワードアドレスを用いることで高速な可変動作を実現しているが、例えば、1サイクル時と、2サイクル時以降

(13)

特開平7-29383

23

の電源電圧が変わった場合、この実施例のように1サイクル時のワードアドレスを用い可変動作を行うと、可変レベルが変化してしまうため、1サイクル時の動作を繰り返す回路動作にしても良い。以上のように、この実施例では電源電圧の違いや、セルの特性が予定よりずれた場合にも読出しに最適なワード線のレベルを供給できる回路を實現できる。

【0041】次に、図35乃至図45を参照して第7の実施例を説明する。図35は、本実施例のワード線の電圧可変回路である。ここに表される抵抗RR0、RR1、RR2、RR3、RR4、RR5、RR6、RR7、RR8は、すべて同じ抵抗値Rである。抵抗RH0、RH1、RH2、RH3、RH4、RH5、PH6、PH7、PH8、RH9は、抵抗RR0～RR8の各抵抗値の1/5の抵抗値1/5Rである。まず、入力GH0を1にした場合で電源電圧V<sub>dd</sub>が4.0Vの場合について考えてみる。ノードN0～N9の電位は抵抗分割によりノードN0から順に0.4V、0.8V、1.2V、・・・、4.0Vとなる。またここで入力GN0～GN9の内のいずれかを1とすることでノードNXにはノードN0～N9の電位が現れる(入力RD1が1のとき)。入力GH0を1にした場合で、入力GN0～GN9の内の一つの入力GN<sub>n</sub>を1にしたときのNXの電位をV<sub>x</sub>とする。ここで、入力GH0～GH5を順に切り換えていく。GH0が1のときNXの電位はV<sub>x</sub>である。GH1が1のときNXの電位はV<sub>x</sub>-0.08Vである。GH2が1のときNXの電位はV<sub>x</sub>-0.16Vである。GH3が1のときNXの電位はV<sub>x</sub>-0.24Vである。GH4が1のときNXの電位はV<sub>x</sub>-0.32Vである。GH5が1のときNXの電位はV<sub>x</sub>-0.40V、すなわち、GH0が1でGN(n-1)を1にしたとき(GN<sub>n</sub>がGN0のときは0V)と同電位である。つまりこの回路は電源電圧V<sub>dd</sub>が4.0Vの時、入力GH0～GH5とGN0～GN9を組み合わせることで0Vから0.08Vきざみに4.0VまでNXを可変することができる。

【0042】また、電源電圧が変わった場合にも、0Vより電源電圧の1/50のきざみで電源電圧までNXを可変することができる。さらにR<sub>in</sub>3は高抵抗で有り、トランジスタTr10は0Vに近いしきい値を持つエンハンスメント型トランジスタであるため、RD1が1のときには、ノードVW3の電位はほぼノードNXの電位に等しくなる。またVW3は、図5に表されるロウデコーダの電源VWに供給することにより、ワード線にVW3の電位を供給できる。図36は、図35の入力GN0～GN9を切り換えるためのカウンタ回路であり、図37は、図35の入力GN0～GN9を選択するためのデコーダ回路である。図38は、図35の入力GH0～GH5を切り換えるためのカウンタ回路であり、図39は、図35の入力GH0～GH5を選択するためのデコ

24

ード回路である。図40は、可変レベルを読出しに最適なレベルにストップするための可変ストップ回路である。図41は、本実施例を説明するためのセルの特性モデルである。ここに表されるM00、M01、M10、M11の曲線は、それぞれのセルのワード線のレベルに対して流す電流であり、曲線Aは、セルM00とM01の流す電流を足したものであり、曲線A'は曲線Aの1/2の電流であり、曲線BはM01とM10の流す電流を足したものであり、曲線B'は、曲線Bの1/2の電流であり、曲線Cは、M10とM11の流す電流を足したものであり、曲線C'は、曲線Cの1/2の電流である。またここに表されるINV2の切り換わりは、図40の回路において、INV2で表されるインバータが切り換わるレベルを表わしている。

【0043】また、図40に表わされる負荷トランジスタTr12、Tr13は同じサイズ(W/L1)のトランジスタである。INV3の切り換わりは図44のINV3で表されるインバータが切り換わるレベルを表わしている。図44に表される負荷トランジスタTr14は、図40の負荷トランジスタTr12(Tr13)と同じサイズ(W/L1)であるため、図44では、図40のセル電流の半分の電流でINV3が切り換わる。図42及び図43に本実施例の動作波形を示す。基本的な動作は、第6の実施例と同様ワード線のレベルを順次変えていき、図40の可変ストップ回路のリファレンスのメモリセルの流す電流によりワード線のレベルをコントロールしている。まずRB1を0にすることにより、図40の可変ストップ回路をアクティブにし、図39のデコーダ回路をアクティブにする。同時にRS1とRS2に負のパルスを加え、図36、図38のカウタ回路をリセットする。この時、GH0～GH5はGH0が1となっている。また、同時にSAA1を1とすることで図40の可変ストップ回路のリファレンスのセルとしてM00とM01が選択される。その後、RD1を1とすることでGN0が1となり、図35のレベル可変回路によりワード線に0.4Vの電位が供給される。その後、SR1に正のパルスを加えることにより、WB1とWCが1となり、図36のカウタ回路がアクティブになり、GN0～GN9が順に切り換わる。

【0044】GN0～GN9が順に切り換わることにより、ワード線のレベルが0.4V刻みで上昇していく。GN4が1となり、ワード線のレベルが2.0VになったときにM00とM01のセルの流す電流により図40のINV2の出力が0から1に切り換わり図40の出力WCが1から0になる(図41参照)。WCが0となることで図36のカウタが止まり、GN0～GN9の切り換わりが止まる。代わりに図38のカウタがアクティブとなり、GH0～GH5が順次切り換わる。GH0～GH5が順次切り換わることにより、ワード線の電位は2.0Vより0.08Vずつ電位が下がっていくのであ



(14)

特開平7-29383

25

るが、この場合はGH1が1となりワードの電位が1.92VとなったときにINV2の出力が1から0に切り換わり、図40のWB1が1から0に切り換わり、図38のカウンタが止まる。ここを第1の可変レベルとし、ここで第1の読出し動作を行う。またここでSAA1を0、SAA2を1とし、図40の可変ストップ回路のリファレンスのセルをM01とM10に切り換える。その後RS2に負のパルスを、SR1に正のパルスを加えることにより第2の可変レベルを決定する動作にはいる。RS2に負のパルスを加えることにより図38のカウンタがリセットされるため、GH0~GH5はGH0が1となる。ワード線の電位としては2.0Vとなる。またSR1に正のパルスを加えることにより、図40の出力WCとWB1がともに1になる。そのため図36のカウンタ回路がアクティブになり、GN0~GN9が先程の続きのGN4より順次切り換わる。

【0045】ワード線の電位は2.0Vより順次上昇し、GN7が1となったとき、すなわちワード線の電位が3.2VとなったときにM01とM10の流す電流により図40のINV2の出力が0から1に切り換わり、図40の出力WCが1から0となる(図41参照)。WCが0となることで図36のカウンタが止まり、GN0~GN9の切り換わりが止まる。代わりに図38のカウンタがアクティブとなり、GH0~GH5が順次切り換わる。GH0~GH5が順次切り換わることによりワード線の電位は3.2Vより0.08Vずつ電位が下がっていく。GH5が1となりワードの電位が2.80VとなったときにINV2の出力が1から0に切り換わり図38のカウンタが止まる。ここを第2の可変レベルとし、ここで第2の読出し動作を行う。また、ここでSAA2を0、SAA3を1とし、図40の可変ストップ回路のリファレンスのセルをM10とM11に切り換える。その後、RS2に負のパルスを加え、SR1に正のパルスを加えることにより第3の可変レベルを決定する動作に入る。RS2に負のパルスを加えることにより図38のカウンタがリセットされるため、GH0~GH5は、GH0が1となる。ワードの電位としては3.2Vになる。また、SR1に正のパルスを加えることにより、図40の出力WCとWB1がともに1となる。

【0046】そのため、図36のカウンタ回路がアクティブになり、GN0~GN9が先程の続きのGN7により順次切り換わる。ワードの電位は3.2Vより上昇し、GN9が1となったとき、すなわち、ワードの電位が4.0VとなったときにM01とM10の流す電流により図40のINV2の出力が0から1に切り換わり、図40の出力WCが1から0となる(図41参照)。WCが0となることで図36のカウンタが止まり、GN0~GN9の切り換わりが止まる。代わりに図38のカウンタがアクティブとなり、GH0~GH5が順次切り換わる。GH0~GH5が順次切り換わることによりワード

26

の電位は4.0Vより0.08Vずつ電位が下がっていく。GH4が1となりワード線の電位が3.68VとなったときにINV2の出力が1から0に切り換わり図38のカウンタが止まる。ここを第3の可変レベルとし、ここで第3の読出し動作を行う。その後、SAA3を1から0とし、RD1を0とし、RB1を1にして動作を終了する。まず、第1の可変レベルの時の読出しについて説明する。第1の可変レベルは1.92Vである。図44は、本体セルアレイと本体センスアンプである。

【0047】ここで示されるロウデコードは、図5に示す回路であり、前述のようにアドレスADD1/ADD1B、ADD2/ADD2B、ADD3/ADD3Bによりワード線W1~Wnの内1つが選択され、さらに、図5の電源VWに図35のVW3が供給されているため、選択されたワード線は、図35のVW3の電位が衰われる。ここに表されるカラムデコードは、図45に表わされており、アドレスADD4/ADD4B、ADD5/ADD5B、ADD6/ADD6BによりL1~Lnの内1つが設定され、このロウデコード、カラムデコードにより本体セルアレイのメモリセルが1つ選択される。また、ここに表わされるINV3の切り換わりは、前述のように、図40の負荷トランジスタTr12とTr13と図44の負荷トランジスタTr14が同じトランジスタ(W1/L1)であることと、図40のINV2と図44のINV3が同じインバータ(同じゲート長さL、幅Wのトランジスタを使っている)であることにより、INV2の切り換わりの半分である。またこの関係は電源電圧が変動した場合も、またトランジスタ特性が変わった場合も、前記同じL、Wを使っているため基本的にはTr12、Tr13、Tr14は同様に特性が変化し、INV2とINV3の切り換わりは同様に変化し、そのため本実施例のようにINV2の切り換わりでワード線の電位を止めた場合、図44の本体のセンスアンプS/Aの切り換わりは図41に表わされる曲線A'になり、第1の可変レベルの読出しで最も判別しにくいセルM00とM01のセル電流の半分の切り換わりを持ち、最も読みだし余裕を持っている。第2、第3の可変レベルでも同様である。

【0048】第2の可変レベルでは、本体のS/Aの切り換わりは曲線B'であり、第2の可変レベルの読出しで最も判別しにくいセルM01とM10のセル電流の半分の切り換わりである。第3の可変レベルでは本体のS/Aの切り換わりは曲線C'であり、第3の可変レベルの読出しで最も判別しにくいセルM10とM11のセル電流の半分の切り換わりである。つまり、本実施例は第1、第2、第3の読出し時にもっとも読みだし余裕の少ない2つのセルを可変レベルの設定に用いることにより、本体のS/Aの1.0データを決定する切り換わりが上記読みだし余裕の少ない2つのメモリセルのセル電流の中間の電流で切り換わるようにワード線の電位をコ



(15)

特開平7-29383

27

ントロールしている。以上のように、本実施例は電源電圧の変動に対しても、トランジスタの特性の変化に対しても、またセルの特性の変化に対しても常に読出しに最適なワード線のレベルを供給できる。また、S/Aの負荷トランジスタTr12、Tr13、Tr14の設定も、図41に表されるインバータの切り換えがずれるだけでワード線の変圧レベルと本体S/Aの切り換わりの関係は常に同じであるため、かなりラフな設定を行うことができる。

【0049】さらに、第6の実施例に比べ、少ない抵抗でより細かくワード線の電位をコントロールでき、またワード線の電位のコントロールを電源電圧の10%と2%の2段階にコントロールしており、可変レベルと可変レベルの間は電源電圧の10%とおおまかなコントロールを行い、その後、電源電圧の2%と、こまかなコントロールを行っているため、初めから2%の電位コントロールにより可変レベルを決定する動作を行うよりも、少ない時間で可変レベルを決められる。また、すべての実施例について言えることであるが、可変レベルをコントロールするためのトランジスタにメモリセルを用いているが、必ずしもメモリセルである必要はなく、例えば、メモリセルのしきい値をコントロールするために不純物をイオン注入しているが、この方法でメモリセルと同様のイオン注入を行ったトランジスタを用いても良い。また可変レベルをコントロールするためのメモリセルは、本体セルアレイ中のメモリセルを用いても、局所で作成しても良い。

【0050】

【発明の効果】読出し動作を数回に分けて行うため、センスアンプの動作電流のピーク電流を低く抑えることができ、なおかつセンスアンプの数を減らすことができる。さらに、読出し時のワード線の電位をあらかじめデータの分かっているセル（リファレンスのセル）を用いて設定することで、電源電圧の変動やセルの特性の変化に対しても常に読出しに最適な電圧を選択できる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の回路図のメモリセル部分を示す回路図。

【図2】図1の半導体記憶装置の出力回路を示す回路図。

【図3】本発明の半導体記憶装置のセンスアンプの回路図。

【図4】本発明の半導体記憶装置のラッチブロック回路図。

【図5】本発明の半導体記憶装置のロウデコーダの回路図。

【図6】本発明の半導体記憶装置の電圧可変回路図。

【図7】本発明の実施例のフローチャート図。

【図8】本発明の半導体記憶装置の読み出し動作を示す動作図。

28

【図9】本発明の実施例の動作波形図。

【図10】本発明の実施例の動作波形図。

【図11】本発明の実施例の動作波形図。

【図12】本発明の実施例のフローチャート図。

【図13】本発明の半導体記憶装置の読み出し動作を示す動作図。

【図14】本発明の実施例のフローチャート図。

【図15】本発明の半導体記憶装置の読み出し動作を示す動作図。

【図16】本発明の実施例のフローチャート図。

【図17】本発明の半導体記憶装置の読み出し動作を示す動作図。

【図18】本発明の半導体記憶装置の電圧可変回路図。

【図19】本発明の半導体記憶装置の電圧可変回路図。

【図20】本発明の半導体記憶装置のカウント回路図。

【図21】本発明の半導体記憶装置のデコーダ回路図。

【図22】本発明の半導体記憶装置のデコーダ回路図。

【図23】本発明の半導体記憶装置のラッチ回路図。

【図24】本発明の半導体記憶装置のラッチ回路図。

【図25】本発明の半導体記憶装置のラッチ回路図。

【図26】本発明の半導体記憶装置のラッチ回路図。

【図27】本発明の半導体記憶装置のラッチ回路図。

【図28】本発明の半導体記憶装置の可変ストップ回路図。

【図29】本発明の半導体記憶装置のレベル切り換え回路図。

【図30】本発明の半導体記憶装置のバース発生回路図。

【図31】本発明の半導体記憶装置のメモリセルのモデル特性図。

【図32】本発明の半導体記憶装置の動作波形図。

【図33】本発明の半導体記憶装置の動作波形図。

【図34】本発明の半導体記憶装置の動作波形図。

【図35】本発明の半導体記憶装置の電圧可変回路図。

【図36】本発明の半導体記憶装置のカウント回路図。

【図37】本発明の半導体記憶装置のデコーダ回路図。

【図38】本発明の半導体記憶装置のカウント回路図。

【図39】本発明の半導体記憶装置のデコーダ回路図。

【図40】本発明の半導体記憶装置の可変ストップ回路図。

【図41】本発明の半導体記憶装置のメモリセルのモデル特性図。

【図42】本発明の半導体記憶装置の動作波形図。

【図43】本発明の半導体記憶装置の動作波形図。

【図44】本発明の半導体記憶装置の本体セルアレイと本体センスアンプの回路図。

【図45】本発明の半導体記憶装置のカラムデコーダの回路図。

【図46】本発明及び従来のも値ROMの特性図。

【図47】従来のも値ROMの読み出し回路図。

(16)

特開平7-29383

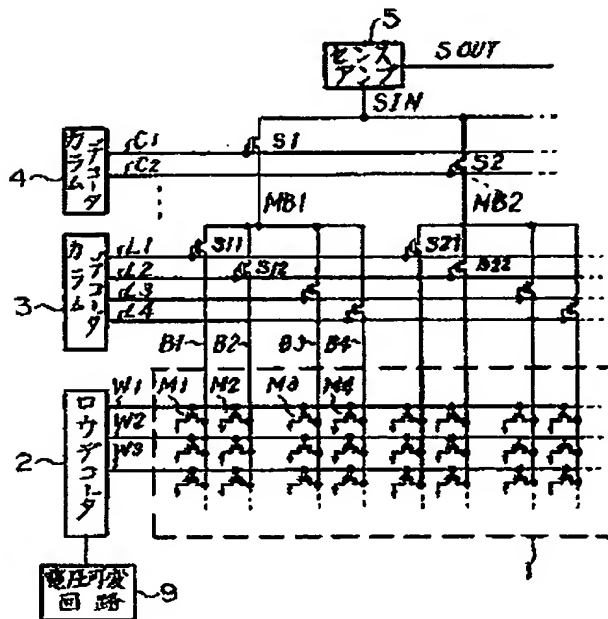
29

30

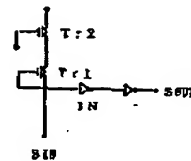
【図48】従来の多値ROMのセンスアンプ回路図。  
 【図49】本発明の出力回路の論理回路図及び従来の多値ROMの出力回路図。  
 【図50】図47のセンスアンプのインバータの切り換えり電位を示す特性図。  
 【符号の説明】  
 1 メモリセル

\* 2      ロウデコーダ  
 3, 4      カラムデコーダ  
 5      センスアンプ  
 6, 61, 62, 63, 64      出力回路  
 9      高圧可変回路  
 71, 72, 73, 74      ラッチブロック  
 \* 81, 82, 83, 84      論理回路

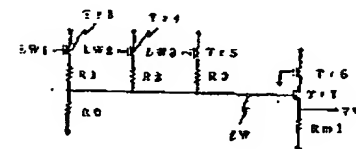
【図1】



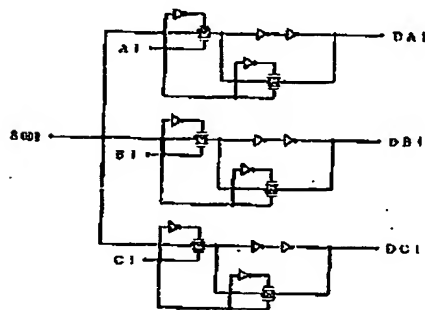
【図3】



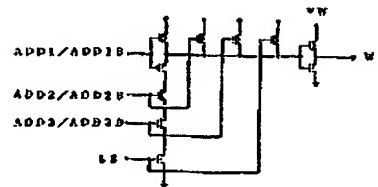
【図6】



【図4】



【図5】

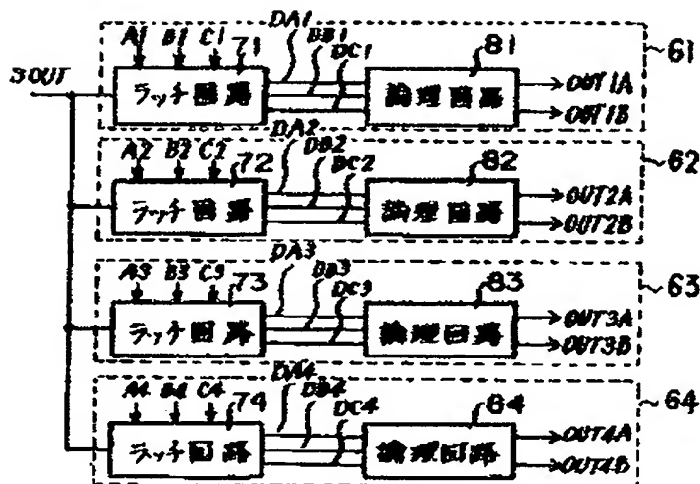


(1-1-4)

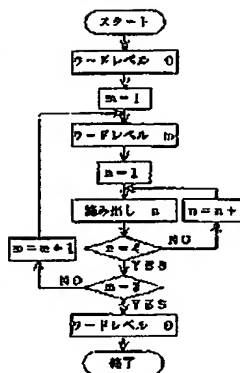
(17)

特開平7-29383

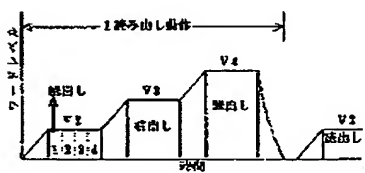
【図2】



【図7】



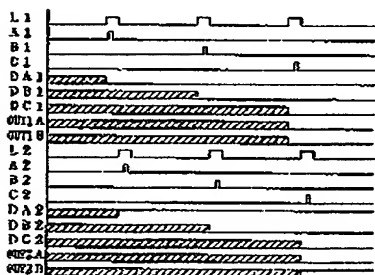
【図8】



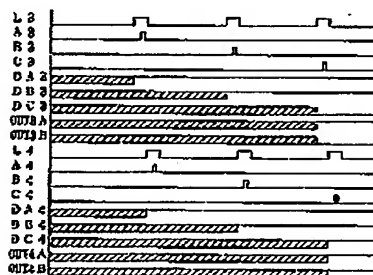
【図9】



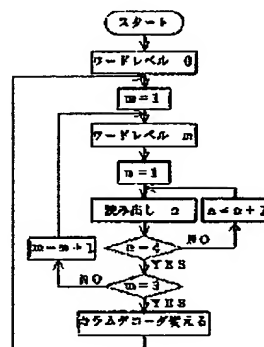
【図10】



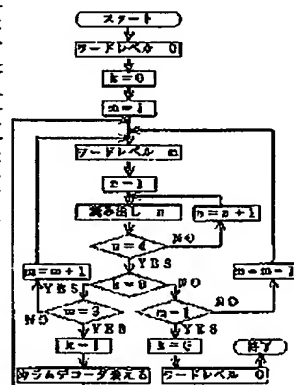
【図11】



【図12】



【図14】

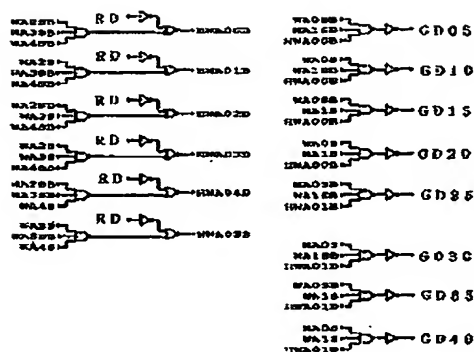




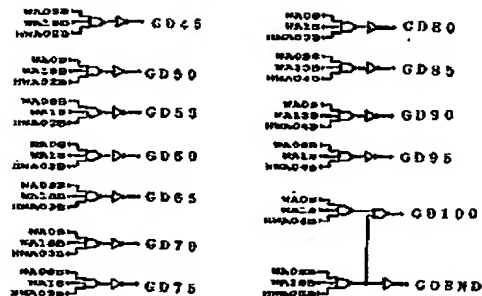
(19)

特開平7-29383

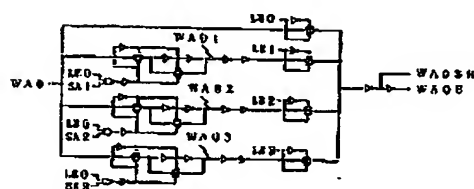
【図21】



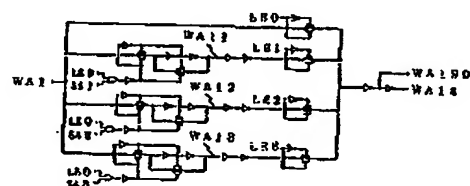
【図22】



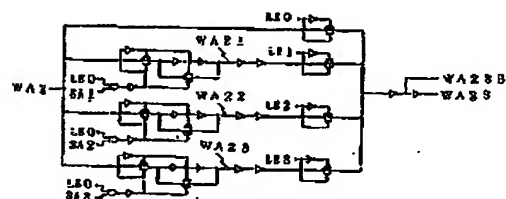
【図23】



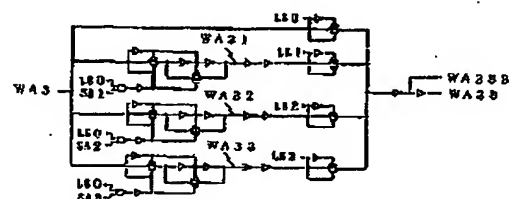
【図24】



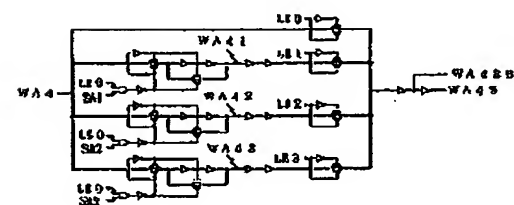
【図25】



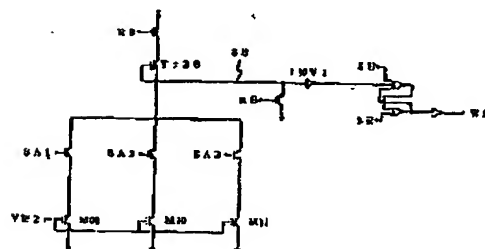
【図26】



【図27】



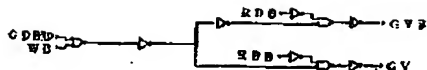
【図28】



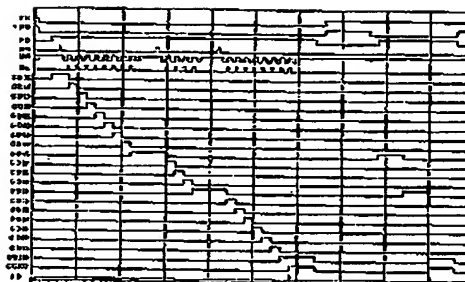
(20)

特開平7-29383

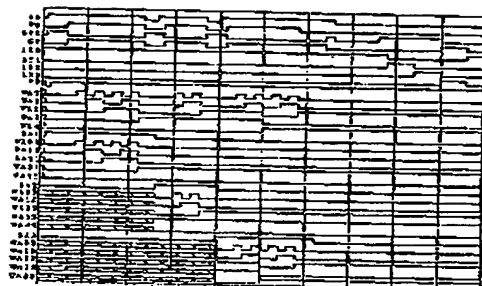
【図29】



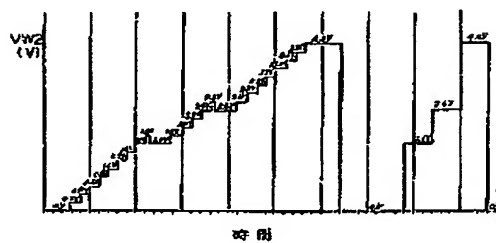
【図32】



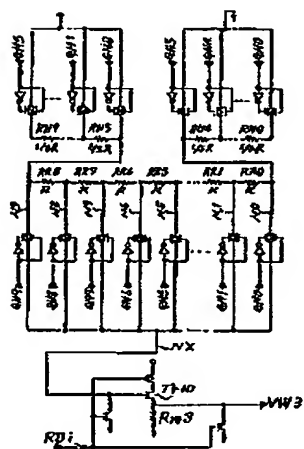
【図33】



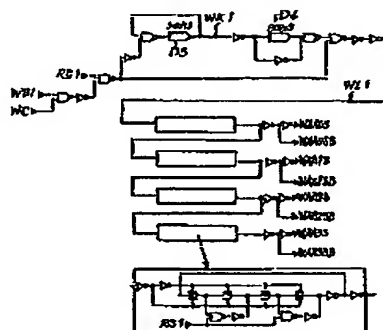
【図34】



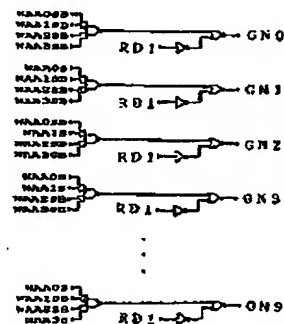
【図35】



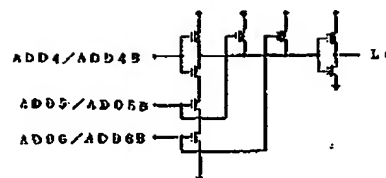
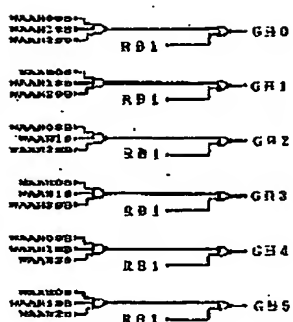
【図36】



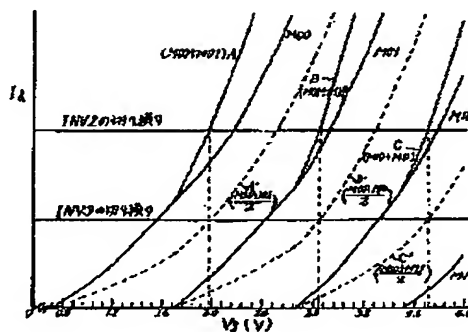
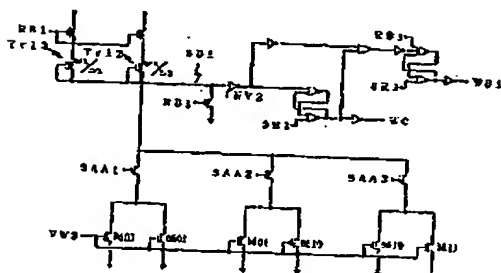
【図37】



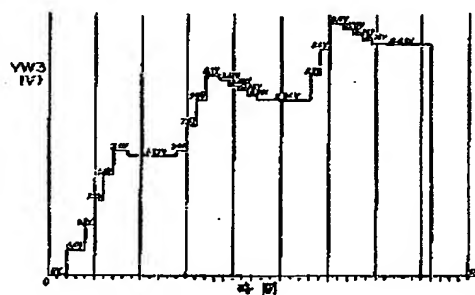
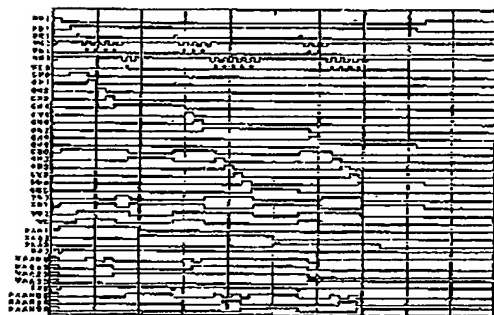
【圖45】



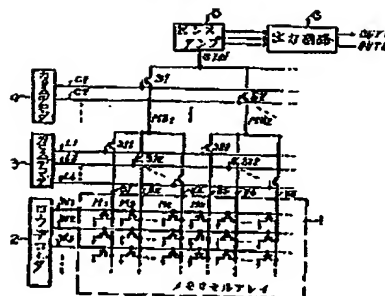
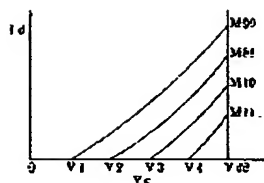
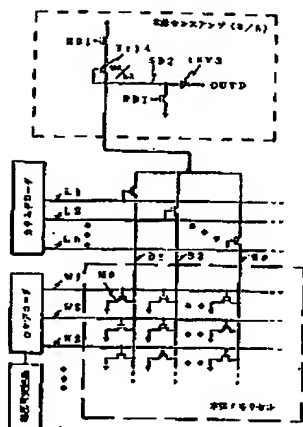
【図41】



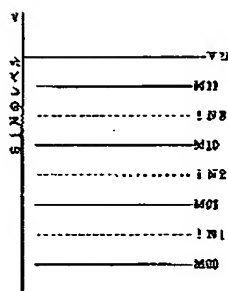
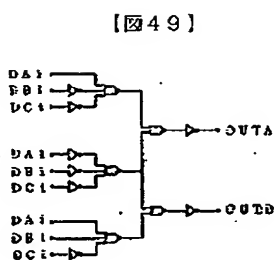
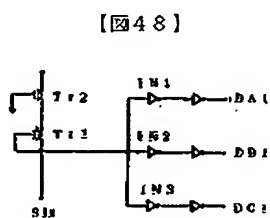
【圖42】



【图47】



【図50】



433



特開平7-29383

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成11年(1999)6月18日

【公開番号】特開平7-29383  
 【公開日】平成7年(1995)1月31日  
 【年追号数】公開特許公報7-294  
 【出願番号】特願平5-193876  
 【国際特許分類第6版】

G11C 16/04  
 11/56

H01L 21/8246  
 27/112

【F I】

G11C 17/09 305  
 11/34 381 A

H01L 27/10 433

【手続補正書】

【提出日】平成10年3月6日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリックス状に配置された複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路と、

読出し動作時において前記複数のメモリセルの中から読み出される所定のメモリセルを少なくとも2つ以上内部的に順次選択する手段を有するビット線選択手段と、前記ビット線選択手段により選択された所定のビット線の電位を検出して前記複数のメモリセルの中から読み出されるメモリセルの流す電流をセンスするセンスアンプと、

少なくとも2つ以上のラッチ回路と、

前記内部的に順次選択された少なくとも2つ以上のメモリセルの前記センスアンプの出力を前記ラッチ回路にそれぞれラッチする順次回路とを備えていることを特徴とする半導体記憶装置。

【請求項2】マトリックス状に配置された複数のメモリセルと、  
 前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路とを備え、

前記電圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタにより構成されるリファレンスのトランジスタにより前記ワード線に供給する複数の電位を設定することを特徴とする半導体記憶装置。

【請求項3】マトリックス状に配置された複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路とを備え、

前記電圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタにより構成されるリファレンスのトランジスタのゲートに、前記ワード線に供給する複数の電位と同等の電位を供給する手段を有し、前記リファレンスのトランジスタのドレインに接続され、前記リファレンスのセルの流す電流をセンスするリファレンセンスアンプを具備し、このリファレンセンスアンプの出力により、前記センスアンプの出力をこのセンスアンプに接続されたラッチ回路にラッチするか、又は前記センスアンプに接続された出力回路により出力することを特徴とする半導体記憶装置。

- 補 1 -

特開平7-29383

【請求項4】 前記リファレンスのトランジスタが、前記メモリセルと同じしきい値のトランジスタ、前記メモリセルとしきい値が異なるが電流特性が同じトランジスタ、前記メモリセルと同じしきい値で電流特性がこのメモリセルの電流特性の何倍かの電流特性を持つトランジスタ、又は前記メモリセルとしきい値が異なり、電流特性がこのメモリセルの電流特性の何倍かの電流特性を持つトランジスタのいずれか少なくとも1つ以上のトランジスタにより構成されることを特徴とする請求項2又は請求項3に記載の半導体記憶装置。

【請求項5】 1読み出し動作において、マトリックス状に配置された複数のメモリセルのゲートが接続されている複数のワード線の中の所定のワード線に電圧可変回路により所定の電位を供給する手段と、

前記メモリセルのドレインが接続されている複数のビット線の中の所定のビット線の電位を検出し、その電位に基づいて形成されたメモリセルデータを出力する手段と、

前記所定のワード線が前記所定の電位の状態で、前記複数のビット線の中の他のビット線の電位を検出してその電位に基づいて形成されたメモリセルデータを出力し、この出力動作をさらに前記複数のビット線の別のビット線に続ける内部的手段とを備えていることを特徴とする半導体記憶装置の読み出し方法。

【請求項6】 マトリックス状に配置され、複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、

前記第1の選択手段に接続され、異なる電圧を順次生成し、データ読み出し動作時においてこの異なる電圧をデータを読み出す際に前記第1の選択手段に供給する電圧供給手段とを備えていることを特徴とする半導体記憶装置。

【請求項7】 前記ワード線の1つが前記第1の選択手段によって選択されている時、前記電圧供給手段から電圧がその選択されたワード線に供給されている時に、メモリセルからデータを読み出すためにアドレス信号に基づいてビット線を交互に選択する第2の選択手段と、ビット線の電位を順次検出するために第2の選択手段によって選択されたビット線に接続されたセンスアンプと、

前記センスアンプに接続され、前記センスアンプから出力された複数の電圧を前記第1の選択手段によって選択されたワード線の電位にしたがってデジタルデータに変換し、このデジタルデータを出力する複数の出力回路と

をさらに備えていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】 前記メモリセルの各々は、複数のしきい値電圧いずれか1つを有していることを特徴とする請求項6に記載の半導体記憶装置。

【請求項9】 前記出力回路の各々は、前記センスアンプからの出力されたポテンシャルをラッチする少なくとも2つのラッチ回路と前記各ラッチ回路によってラッチされたポテンシャルをデジタルデータに変換するデータ変換手段から構成されていることを特徴とする請求項7に記載の半導体記憶装置。

【請求項10】 前記電圧供給手段は、電源電圧を分割してメモリセルのしきい値電圧と同一のポテンシャルを生成する複数の抵抗を有することを特徴とする請求項6に記載の半導体記憶装置。

【請求項11】 マトリックス状に配置され、少なくとも2つのビット情報を表す複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、

前記第1の選択手段に接続され、複数のリファレンスセルを備え、各リファレンスセルは、異なるリファレンスポテンシャルにセットされ、データ読み出し動作時にメモリセルからデータが読み出された場合前記リファレンスセルから生成されたリファレンスポテンシャルを前記第1の選択手段に順次供給する電圧供給手段とを備えていることを特徴とする半導体記憶装置。

【請求項12】 マトリックス状に配置され、複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、

前記第1の選択手段に接続されている電圧供給手段とを備え、

前記電圧供給手段は、電源電圧をワード線に供給される複数の電圧に分割し、この複数の電圧を順次前記第1の選択手段に供給する電圧生成回路と、この電圧生成回路に接続され、前記第1の選択手段で選ばれたワード線を1つのポテンシャルにセットする動作に用いられ、且つ第1のしきい値電圧、第1のしきい値電圧より高い第2のしきい値電圧、第2のしきい値電圧より高い第3のしきい値電圧を有する第1、第2及び第3のリファレンス

- 第2 -

特開平7-29383

セルを有するストップ回路とを有し、このストップ回路は、この電圧生成回路によって生成された電圧が前記第1、第2、第3のいずれかの電圧に達したときにこの電圧生成回路の電圧生成を止めるように設計されていることを特徴とする半導体記憶装置、ていることを特徴とする半導体記憶装置。

【請求項13】 マトリックス状に配置され、複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、

前記メモリセルのゲートが接続されている複数のワード線と、

前記メモリセルのドレインが接続されている複数のビット線と、

前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、

前記第1の選択手段に接続されている電圧供給手段とを備え、

前記電圧供給手段は、前記ワード線に供給され前記第1の選択手段に順次供給される複数の電圧に分割する電圧生成回路と、

前記第1の選択回路によって選択されたワード線のポテンシャルを設定し第1のしきい値電圧、第1のしきい値電圧より高い第2のしきい値電圧、第2のしきい値電圧より高い第3のしきい値電圧及び第3のしきい値電圧より高い第4のしきい値電圧を有し、第1、第2、第3及び第4のリファレンスセルを有し、前記電圧生成回路が第1及び第2のしきい値電圧の中間電圧、第2及び第3のしきい値電圧の中間電圧、第3及び第4のしきい値電圧に達したときに前記電圧生成回路を止めるように設計された、前記電圧生成回路に接続されたストップ回路とを有していることを特徴とする半導体記憶装置。

【請求項14】 ワード線及びビット線によって選択された複数のメモリセルの1つに蓄えられたマルチレベルのデータを読み出す方法において、

第1のポテンシャルを選択されたワード線に供給して、センスアンプを有するワード線に接続された少なくとも1つのメモリセルを流れる電流を検出し、ラッチ回路のセンスアンプから出力される信号をラッチするステップと、

第1のポテンシャルより高い第2のポテンシャルを選択されたワード線に供給して、センスアンプを有するワード線に接続された少なくとも1つのメモリセルを流れる電流を検出し、第2のラッチ回路のセンスアンプから出力される信号をラッチするステップと、

第2のポテンシャルより高い第3のポテンシャルを選択されたワード線に供給して、センスアンプを有するワード線に接続された少なくとも1つのメモリセルを流れる電流を検出し、第3のラッチ回路のセンスアンプから出力される信号をラッチするステップと、

前記第1、第2、第3のラッチ回路でラッチされた信号

からデジタルデータを生成するステップとを備えたことを特徴とするワード線及びビット線によって選択された複数のメモリセルの1つに蓄えられたマルチレベルのデータを読み出す半導体記憶装置の読み出し方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】本発明は、メモリセルのゲートに印加される電圧、即ち、ワード線に印加される電圧を変えながらデータを読み出すことを特徴としている。また、読み出し動作を数回に分けて行うことを特徴としている。さらに、読み出し動作時にメモリセルのゲートに印加される電圧をリファレンスのメモリセルにより設定することを特徴としている。すなわち本発明の半導体記憶装置は、マトリックス状に配置された複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路と、読み出し動作時に前記複数のメモリセルの中から読み出される所定のメモリセルを少なくとも2つ以上内部的に順次選択する手段を有するビット線選択手段と、前記ビット線選択手段により選択された所定のビット線の電位を検出して前記複数のメモリセルの中から読み出されるメモリセルの流す電流をセンスするセンスアンプと、少なくとも2つ以上のラッチ回路と、前記内部的に順次選択された少なくとも2つ以上のメモリセルの前記センスアンプの出力を前記ラッチ回路にそれぞれラッチする順次回路とを備えていることを第1の特徴としている。また、マトリックス状に配置された複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路とを備え前記電圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタにより構成されるリファレンスのトランジスタにより前記ワード線に供給する複数の電位を設定することを第2の特徴としている。さらに、マトリックス状に配置された複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に少なくとも1つ以上の電位を供給する電圧可変回路とを備え、前記電圧可変回路は、前記メモリセルを構成する所定の少なくとも1つ以上のトランジスタ又はこのメモリセルの特性と同等の特性を有する少なくとも1つ以上のトランジスタによ

- 3 -

特開平7-29383

り構成されるリファレンスのトランジスタのゲートに、前記ワード線に供給する複数の電位と同等の電位を供給する手段を有し、前記リファレンスのトランジスタのドレインに接続され、前記リファレンスのセルの流す電流をセンスするリファレンスセンスアンプを具備し、このリファレンスセンスアンプの出力により、前記センスアンプの出力をこのセンスアンプに接続されたラッチ回路にラッチするか、又は、前記センスアンプに接続された出力回路により出力することを第3の特徴としている。前記リファレンスのトランジスタが、前記メモリセルと同じしきい値のトランジスタ、前記メモリセルとしきい値が異なる電流特性が同じトランジスタ、前記メモリセルと同じしきい値で電流特性がこのメモリセルの電流特性の何倍かの電流特性を持つトランジスタ、又は前記メモリセルとしきい値が異なるが電流特性がこのメモリセルの電流特性の何倍かの電流特性を持つトランジスタのいずれか少なくとも1つ以上のトランジスタにより構成しても良い。本発明の半導体記憶装置の読出し方法は、1読み出し動作において、マトリクス状に配置された複数のメモリセルのゲートが接続されている複数のワード線の中の所定のワード線に電圧可変回路により所定の電位を供給する手段と、前記メモリセルのドレインが接続されている複数のビット線の中の所定のビット線の電位を抽出し、その電位に基づいて形成されたメモリセルデータを出力する手段と、前記所定のワード線が前記所定の電位の状態で前記複数のビット線の中の他のビット線の電位を抽出してその電位に基づいて形成されたメモリセルデータを出力し、この出力動作を更に前記複数のビット線の別のビット線に続ける内部的手段とを備えていることを第1の特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】また本発明の半導体記憶装置は、マトリクス状に配置され、複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、前記第1の選択手段に接続され、異なる電圧を順次生成し、データ読み出し動作時においてこの異なる電圧をデータを読み出す際に前記第1の選択手段に供給する電圧供給手段とを備えていることを第4の特徴としている。前記ワード線の1つが前記第1の選択手段によって選択されている時、前記電圧供給手段から電圧がその選択されたワード線に供給されている時に、メモリセルからデータを読み出すためにアドレス信号に基づいてビット線

を交互に選択する第2の選択手段と、ビット線の電位を順次検出するために第2の選択手段によって選択されたビット線に接続されたセンスアンプと、前記センスアンプに接続され、前記センスアンプから出力された複数の電圧を前記第1の選択手段によって選択されたワード線の電位にしたがってデジタルデータに変換し、このデジタルデータを出力する複数の出力回路とをさらに備えていても良い。前記メモリセルの各々は、複数のしきい値電圧いずれか1つを有しているようにしても良い。前記出力回路の各々は、前記センスアンプからの出力されたポテンシャルをラッチする少なくとも2つのラッチ回路と前記各ラッチ回路によってラッチされたポテンシャルをデジタルデータに変換するデータ変換手段から構成されているようにしても良い。前記電圧供給手段は、電源電圧を分割してメモリセルのしきい値電圧と同一のポテンシャルを生成する複数の抵抗を有するようにしても良い。また本発明の半導体記憶装置は、マトリクス状に配置され、少なくとも2つのビット情報を表す複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、前記第1の選択手段に接続され、複数のリファレンスセルを備え、各リファレンスセルは、異なるリファレンスポテンシャルにセットされ、データ読み出し操作時にメモリセルからデータが読み出された場合前記リファレンスセルから生成されたリファレンスポテンシャルを前記第1の選択手段に順次供給する電圧供給手段とを備えていることを第5の特徴としている。前記リファレンスセルは、電源及び接地間に平行に接続されしきい値電圧と同じポテンシャルを生成し、前記電圧供給手段は、リファレンスセルから生成されたポテンシャルの1つを引き抜き、参照ポテンシャルとして第1の選択手段に供給する電圧供給ユニットを有しているようにしても良い。また、本発明の半導体記憶装置は、マトリクス状に配置され、複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、前記第1の選択手段に接続されている電圧供給手段とを備え、前記電圧供給手段は、電源電圧をワード線に供給される複数の電圧に分割し、この複数の電圧を順次前記第1の選択手段に供給する電圧生成回路と、この電圧生成回路に接続され、前記第1の選択手段で選ばれたワード線を1つのポテンシャルにセットする動作に用いられ、且つ第1のしきい値電圧、第1のしきい値電圧より高い第2のしきい値電圧、第2のしきい値電圧より高い

- 3 -

特開平7-29383

第3のしきい値電圧を有する第1、第2及び第3のリファレンスセルを有するストップ回路とを有し、このストップ回路は、この電圧生成回路によって生成された電圧が前記第1、第2、第3のいずれかの電圧に達したときにこの電圧生成回路の電圧生成を止めるように設計されていることを第6の特徴としている。これらワード線の1つは前記第1の選択手段によって選択され、前記電圧供給手段から選択されたワード線に電圧が供給される間に前記メモリセルからデータを読み出すためにビット線をアドレス信号にしたがって順次選択する第2の選択手段と、前記第2の選択手段によって選択される前記ビット線に接続され、順次前記ビット線のポテンシャルを検出するセンスアンプと、前記センスアンプに接続され、前記センスアンプから出力される複数の電圧を前記第1の選択手段によって選択された前記ワード線のポテンシャルに従ってデジタルデータに変換し、このデジタルデータを出力する複数の出力回路とをさらに備えていても良い。前記電圧供給手段は、前記電圧生成回路と前記ストップ回路に接続され、前記電圧生成回路によって生成された電圧を、前記ストップ回路が前記電圧生成回路を止めるときに、前記第1、第2及び第3のしきい値電圧より僅かに低い値に下げるレベルスイッチング回路をさらに有しているようにしても良い。前記電圧供給手段は、前記ワード線が引き出されるための電圧が供給される位置を示すワードアドレス信号を順次形成するアドレス生成手段と、前記アドレス生成手段に接続され、前記電圧生成回路によって生成された電圧が、前記アドレス生成回路から供給される前記ワードアドレス信号に従って引き出される位置を示す信号を生成するデコーダと、ラッチ回路、前記アドレス生成手段に接続され、前記ストップ回路が前記電圧生成回路を止めたときに前記アドレス生成回路からのワードアドレス信号をラッチするラッチ回路とをさらに有しているようにしても良い。前記電圧生成回路は、2つの端部を有し、この端部間に直列に接続された $n$ 個の抵抗素子を有する抵抗回路と、2つの端部を有し、1つの端部が前記抵抗回路の端部に接続され、且つ $n$ 個の前記抵抗素子の接続点に接続されている複数の転送ゲートとを備え、前記第1の抵抗素子の両端に接続された前記転送ゲートの他端は、第1の電源に接続されており、前記第 $n$ の抵抗素子に接続された前記転送ゲートの他端は、第2の電源に接続され、残りの転送ゲートは、お互いに他端に接続され、前記第1の抵抗素子の両端に接続された転送ゲートの1つ及び前記第 $n$ の抵抗素子の両端に接続された転送ゲートの1つは、前記レベルスイッチング回路から出力される信号によりコ

ントロールされ、残余の転送ゲートは、前記デコーダからの信号により制御されているようにしても良い。また本発明の半導体記憶装置は、マトリクス状に配置され、複数のレベルのデータを記憶するゲートと電流経路を備えた複数のメモリセルと、前記メモリセルのゲートが接続されている複数のワード線と、前記メモリセルのドレインが接続されている複数のビット線と、前記ワード線に接続され、アドレス信号に基づいて前記ワード線の1つを選択する第1の選択手段と、前記第1の選択手段に接続されている電圧供給手段とを備え、前記電圧供給手段は、前記ワード線に供給され前記第1の選択手段に順次供給される複数の電圧に分割する電圧生成回路と、前記第1の選択回路によって選択されたワード線のポテンシャルを設定し第1のしきい値電圧、第1のしきい値電圧より高い第2のしきい値電圧、第2のしきい値電圧より高い第3のしきい値電圧及び第3のしきい値電圧より高い第4のしきい値電圧を有し、第1、第2、第3及び第4のリファレンスセルを有し、前記電圧生成回路が第1及び第2のしきい値電圧の中間電圧、第2及び第3のしきい値電圧の中間電圧、第3及び第4のしきい値電圧に達したときに前記電圧生成回路を止めるように設計された、前記電圧生成回路に接続されたストップ回路とを有していることを第7の特徴としている。本発明の半導体記憶装置の読み出し方法は、ワード線及びビット線によって選択された複数のメモリセルの1つに蓄えられたマルチレベルのデータを読み出す方法において、第1のポテンシャルを選択されたワード線に供給して、センスアンプを有するワード線に接続された少なくとも1つのメモリセルを流れる電流を検出し、ラッチ回路のセンスアンプから出力される信号をラッチするステップと、第1のポテンシャルより高い第2のポテンシャルを選択されたワード線に供給して、センスアンプを有するワード線に接続された少なくとも1つのメモリセルを流れる電流を検出し、第2のラッチ回路のセンスアンプから出力される信号をラッチするステップと、第2のポテンシャルより高い第3のポテンシャルを選択されたワード線に供給して、センスアンプを有するワード線に接続された少なくとも1つのメモリセルを流れる電流を検出し、第3のラッチ回路のセンスアンプから出力される信号をラッチするステップと、前記第1、第2、第3のラッチ回路でラッチされた信号からデジタルデータを生成するステップとを備えたことを特徴とするワード線及びビット線によって選択された複数のメモリセルの1つに蓄えられたマルチレベルのデータを読み出すことを第2の特徴としている。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**